

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



特許協力条約に基づいて公開された国際出願

| | | |
|---|-----------|--|
| <p>(51) 国際特許分類6</p> <p>H04J 13/04, H04L 12/56, 1/00, H04J 3/00, 3/22</p> | <p>A1</p> | <p>(11) 国際公開番号 WO96/26382</p> <p>(43) 国際公開日 1996年8月29日 (29.08.96)</p> |
| <p>(21) 国際出願番号 PCT/JP96/00419</p> <p>(22) 国際出願日 1996年2月23日 (23.02.96)</p> <p>(30) 優先権データ</p> <p>特願平7/35702 1995年2月23日 (23.02.95) JP</p> <p>特願平7/147728 1995年6月14日 (14.06.95) JP</p> <p>特願平7/324823 1995年12月13日 (13.12.95) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) エス・ティ・ティ移動通信網株式会社 (NTT MOBILE COMMUNICATIONS NETWORK INC.) [JP/FP] 〒105 東京都港区虎ノ門二丁目10番1号 Tokyo, (JP)</p> <p>(72) 発明者: および</p> <p>(75) 発明者/出願人 (米国についてのみ) 奥村幸彦 (OKUMURA, Yukihiko) [JP/FP] 〒235 神奈川県横浜市磯子区杉田9丁目2-3-405 Kanagawa, (JP)</p> <p>安達文幸 (ADACHI, Fumiyuki) [JP/FP] 〒236 神奈川県横浜市金沢区高舟台2-35-13 Kanagawa, (JP)</p> <p>大野公士 (OHNO, Koji) [JP/FP] 〒235 神奈川県横浜市磯子区杉田9-2 富岡社宅8-502 Kanagawa, (JP)</p> | | <p>東 明彦 (HIGASHI, Akihiko) [JP/FP] 〒238-03 神奈川県横浜須賀町林2-1-3 林社宅3-301 Kanagawa, (JP)</p> <p>(74) 代理人 弁理士 谷 純一 (TANI, Yoshikazu) 〒107 東京都港区赤坂5-1-31 第6セイコービル3階 Tokyo, (JP)</p> <p>(81) 指定国 CA, CN, JP, KR, US, 欧州特許 (DE, FR, GB, IT, SE).</p> <p>添付公開書類 国際調査報告書</p> |
| <p>(54) Title : VARIABLE RATE TRANSMITTING METHOD, AND TRANSMITTER AND RECEIVER USING IT</p> <p>(54) 発明の名称 可変レート伝送方法、および同方法を用いた送信装置および受信装置</p> <p>(57) Abstract :</p> <p>A variable rate transmitting method in which the data transmission rate can be changed freely. The transmitting side supplies a transmission data sequence to an error detection encoding circuit (102) and a frame memory (103). The frame memory (103) holds variable-length data which are transmitted in frames. The error detection encoding circuit (102) calculates error detecting codes (for example, CRC codes) for every frame of the transmission data. A multiplexing circuit (104) adds the calculated error detecting codes to the frame immediately before the transmission data, namely, at the head of the frame, and successively outputs data sequences one frame by one frame. On the receiving side, the error detecting codes of the data in the transmitted frame are calculated in the same way as that on the transmitting side and the calculated error detecting codes are compared with the error detecting codes at the head of the frame. The position where both error detecting codes coincide with each other is determined to be the last bit of the data in the frame. Therefore, variable-length data can be transmitted without informing the receiving side of the data length of each frame. This is equivalent to the case where the transmission rate can be freely changed.</p> <p>102 ... error detection encoding circuit 103, 1008 ... frame memory 104 ... multiplexing circuit 105 ... error correction encoding circuit 106 ... interleaving circuit 100A ... control section 108 ... primary modulator 109 ... secondary modulator a ... spread-spectrum code sequence b ... transmitter configuration</p> | | |

(57) 要約

データの伝送レートを自由に変えることのできる可変レート伝送方法。送信側では、送信データ系列を、誤り検出符号化回路105およびフレームメモリ103に供給する。フレームメモリ103は、1フレームで送信する可変長のデータを保持する。誤り検出符号化回路105は、送信データの1フレーム分の誤り検出符号（例えばCRC符号）を算出する。多重回路104は、算出された誤り検出符号を送信データの直前に付加して、フレームの先頭に配置し、1フレーム毎にデータ系列を順次出力する。受信側では、送られてきたフレーム内のデータの誤り検出符号を送信側と同様に再度算出し、算出された誤り検出符号を、フレームの先頭にある誤り検出符号と比較する。両者が一致した位置を、フレーム内データの最終ビットであると判定する。こうして、各フレーム内のデータ長を受信側に知らせることなく、可変長データの伝送が可能となる。これは、伝送レートを自由に変化できることと等価である。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を特定するために使用されるコード

| | | | | | | | |
|----|--------------|----|-------------|----|-----------|----|------------|
| AL | アルバニア | DE | ドイツ | LI | リヒテンシュタイン | PL | ポーランド |
| AM | アルメニア | DK | デンマーク | LC | セントルシア | PT | ポルトガル |
| AU | オーストラリア | EE | エストニア | LR | リベリア | RO | ルーマニア |
| AZ | アゼルバイジャン | ES | スペイン | LS | レソト | RU | ロシア連邦 |
| BA | ボスニア・ヘルツェゴビナ | FI | フィンランド | LT | リトアニア | SE | スウェーデン |
| BB | バハマ | FR | フランス | LU | ルクセンブルグ | SG | シンガポール |
| BE | ベルギー | GA | ガボン | LV | ラトヴィア | SI | スロヴェニア |
| BG | ブルガリア | GB | イギリス | MC | モナコ | SK | スロバキア |
| BH | バーレーン | GE | グルジア | MD | モルドヴァ共和国 | SN | セネガル |
| BR | ブラジル | GR | ギリシャ | MG | マダガスカル | SZ | スワジランド |
| BY | ベラルーシ | HU | ハンガリー | MK | マケドニア共和国 | TD | チャド |
| CA | カナダ | IE | アイルランド | ML | マリ | TG | トーゴ |
| CC | 中央アフリカ共和国 | IS | アイスランド | MN | モンゴル | TJ | タジキスタン |
| CF | コンゴ | IT | イタリア | MR | モロッコ | TM | トルクメニスタン |
| CG | コンゴ | JP | 日本 | MW | マラウイ | TR | トルコ |
| CH | スイス | KE | ケニア | MX | メキシコ | TT | トリニダード・トバゴ |
| CI | コート・ジボアール | KG | キルギスタン | NE | ニジェール | UA | ウクライナ |
| CM | カメルーン | KP | 朝鮮民主主義人民共和国 | NL | オランダ | UG | ウガンダ |
| CN | 中国 | KR | 大韓民国 | NO | ノルウェー | US | アメリカ合衆国 |
| CU | キューバ | KZ | カザフスタン | NZ | ニュージーランド | UZ | ウズベキスタン |
| CZ | チェコ共和国 | | | | | VN | ヴィエトナム |

- 1 -

明 細 書

発 明 の 名 称

可変レート伝送方法、および同方法を用いた送信装置および受信装置

技 術 分 野

本発明は、移動通信における符号分割多元接続(CDMA: Code Division Multiple Access)に関し、特に、一定長のフレームに収められた可変長のデータを一定の伝送レートで送受信することによって、見かけ上の可変レート伝送を実現した可変レート伝送方法、および同方法を用いた送信装置および受信装置に関する。

背 景 技 術

CDMAの移動通信においては、音声コーデックの出力データ(送信データ)を1次変調し、1次変調された信号を、擬似ランダム符号系列(拡散符号系列)で2次変調して、広い帯域にスペクトルを拡散して伝送する。拡散符号系列のビットレートはチップレートといわれ、伝送レートに比較して数十から数百倍高速である。1次変調には、2値あるいは4値位相変調、2次変調には2値位相変調が広く用いられている。

ところで、例えば音声による通話を考えた場合、伝送すべき音声信号の情報量は、時間的に見て常に一定ではなく、一般的には刻々と変化するものである。そこで、伝送データを、一定の時間長のフレーム単位に分け、フレーム毎に可変ビッ

- 2 -

ト数のデータ伝送を行うようにすれば、伝送レートを時間的に変化させることが可能となり、各フレーム周期で必要な情報を効率的に伝送できる。これより、無駄な送信を行わずに済み送信機における電力消費を低く抑えられる。

CDMAで伝送レートの異なるデータを送信する場合は、次のような方法がとられている。まず、伝送レートがフレーム伝送レートより低いデータを送信するときには、送信フレームの一部を使って送信する（たとえば、R.Padovani

"Reverse link performance of IS-95 based cellular systems" IEEE Personal Communications, vol.1 pp.28-34, 3rd Quarter 1994 参照）。一方、伝送レートがフレーム伝送レートより高いデータを送信するときには、高速データを複数の送信系列に分割し、分割されたデータを異なる拡散符号で拡散して送信する。

しかし、この方法では、伝送レート情報を、受信側に知らせることが必要である。あるいは、伝送レート情報を知らせないときは、伝送レートの取りうる値を予め決めておき、全ての伝送レートに対して受信データの誤り検出を行い、誤りが検出されなかった伝送レートでの受信データを、正しいデータとして出力する。

この場合、伝送レート情報の伝送中に誤りが発生すると、受信フレーム内の有効データ長を判別できず、たとえデータ部分に誤りが生じていない場合であっても受信側で送信データを正しく再生することが困難となる。

このため、従来のデータ伝送方法では、通信の途中で自由に伝送レートを変える可変レート伝送を実現しにくいという問題があった。また、このようなデータ伝送方法において、最大伝送レートよりかなり低速のデータを伝送する場合は、フレーム内にデータ送信を行わない期間が生じ、送信がバースト的となる。このようなバースト送信は、EMI (Electromagnetic Interference)の原因となるという問題があった。

移動通信環境のように伝送誤りが多く発生する場合においては、伝送データの

- 3 -

誤り訂正 (FEC: Forward Error Correction) を行うことで伝送品質を向上させることが一般的に行われる。このとき、送信側において誤り訂正符号化した伝送データ (伝送レート情報を含む) に対して、受信側において誤り訂正復号化を行った後、伝送レート情報部分を抽出して、受信フレーム内の有効データ長を決定することになる。このため、誤り訂正復号化前には、伝送レート情報が得られず、復号化の対象となるデータ長が定まらないまま復号動作を行うことになる。したがって、このままでは誤り訂正の効果を十分に得ることはできない。

一方、送信データの中には、誤りが生じると、受信データの品質を大きく低下させるものがある。たとえば、制御データは、音声データより高品質な伝送が必要である。音声符号化方式によっても異なるが、音声データの中にも、誤りが生じると品質を大きく劣化させるものと、そうでないものとが混在している。このように、送信データの中には、重要度が異なるものが混在しているのが普通である。

このため、送信データの重要度に応じて、訂正能力の異なる誤り訂正符号を用いて送信する方法が、TDMA (Time Division Multiple Access) などと採用されている (例えば、「デジタル方式自動車電話システム標準規格」RCR STD-27B 財団法人 電波システム開発センター 参照)。しかしながら、この方法は、伝送レートの異なるさまざまなデータを伝送するためのフレキシビリティに欠けている。

上述したように、高速データを送信する場合は、複数の送信系列を異なる拡散符号で拡散し、拡散された信号を合成して送信する伝送方法が取られている。このような信号を受信側で同期検波して復調する場合、送信側で、パイロットシンボルを周期的に送信データに挿入する方法がある (例えば 三瓶「陸上移動通信用 16 QAM のフェージング歪補償方式」信学論 B-I I, No. 1 pp 7-15 1989年1月参照。あるいは、この改訂版である S. Sampei, "Rayleigh

Fading Compensation for QAM in Land Mobile Radio Communications, IEEE transactions on vehicular technology, Vol. 42, No. 2, May 1993 参照)。この方法を、複数の異なる拡散符号で拡散された信号にそのまま適用すると、複数の送信系列で同一のパイロットシンボルを送信しなければならない。しかしながら、各送信系列とも同一のフェージングを受けるので、パイロットシンボルを複数の送信系列で用いる必要はない。CDMAでは、同一の周波数帯域を複数ユーザで共有するので、余分な信号を送ると、その送信パワーの分だけ、他ユーザへ与える干渉が大きくなり、所定の周波数帯域に収容できるユーザ数を減少することになる。

さらに、高速データは、複数の送信系列に分割し、これらを異なる拡散符号で拡散した後合成し、合成された信号を無線周波数帯域の信号に変換し、電力増幅して送信している。この場合、複数の拡散信号が同相で合成されると、合成後の信号振幅が送信系列の数に比例して大きくなる。このため、ピークパワーの高い線形送信電力増幅器が必要になる。しかし、このような電力増幅器では消費電力が大きくなるので、低消費電力が重要である携帯電話機には適用できない。

発 明 の 開 示

本発明の目的は、データの伝送レート情報を受信側に通知することなく、伝送レートを自由に変えることができる可変レート伝送方法、および同方法を用いた送信装置および受信装置を提供することである。

本発明の他の目的は、重要度の異なるデータを含んでいる場合に、その重要度に応じたデータ保護を行うことのできる、可変レート伝送方法、および同方法を用いた送信装置および受信装置を提供することである。

本発明のさらに他の目的は、低速から高速までのデータを、フレキシブルに伝送することのできる可変レート伝送方法、および同方法を用いた送信装置およ

び受信装置を提供することである。

第 1 に、本発明によれば、一定時間長の各フレームに、可変長の送信データを取めて伝送することによって、平均的な伝送レートを変化させる可変レート伝送方法において、

送信側においては、

前記各フレーム毎に、前記送信データの誤り検出符号を算出する過程と、

前記各フレーム内の、前記送信データおよび前記誤り検出符号を、予め定めた一定の伝送レートで送信する過程と、

前記各フレーム内において、前記送信データおよび前記誤り検出符号が存在しない空白部分は、送信を停止する過程と、

受信側においては、

前記一定の伝送レートに基づいて、前記各フレームを受信する過程と、

前記各フレーム内の前記誤り検出符号を検出する過程と、

前記誤り検出符号の検出結果に基づいて、前記各フレーム内の前記可変長の送信データを復元する過程と

を具備することを特徴とする可変レート伝送方法が提供される。

前記誤り検出符号を検出する過程は、受信した各フレーム内のデータを、1 ビットずつシフトしながら、予め定められたデータで順次割り算し、剰余がゼロとなった時点で前記誤り検出符号が検出されたと判断してもよい。

前記送信データを復元する過程は、前記誤り検出符号が検出された時点から、前記誤り検出符号のビット数だけ前の時点を、前記送信データの最終ビット位置と判定してもよい。

送信側においては、既知のパイロットシンボルを前記各フレームに周期的に挿入する過程と、前記送信データ中の重要データを、前記パイロットシンボルの近傍に配置する過程とを具備し、

- 6 -

受信側においては、前記パイロットシンボルを検出する過程と、検出した前記パイロットシンボルによって、受信した前記送信データおよび前記誤り検出符号を補償する過程と、受信した前記送信データを元の配置に戻す過程とを具備してもよい。

前記重要データを前記パイロットシンボルの近傍に配置する過程は、
前記送信データを、 N 行 $\times M$ 列のメモリの先頭と末尾から、1行毎に交互に書き込む過程と、

書き込まれた前記送信データを、1列毎に順次読み出す過程と、
1列読み出す毎に、前記パイロットシンボルを挿入する過程と
を具備し、

前記重要データは、前記送信データの先頭部分に予め配置していてもよい。
前記送信側において、前記送信データおよび前記誤り検出符号を1次変調する過程と、前記1次変調された信号を拡散系列符号で2次変調する過程とを具備する符号分割多元接続(CDMA)であってもよい。

前記パイロットシンボルおよび前記重要データの送信電力を大きくしてもよい。

送信側においては、

前記送信データおよび前記誤り検出符号の合計データ数が、1フレームで伝送できる最大データ数の $1/K$ (K は正の整数)以下の場合、前記受信側に K 回リビートして送信することを知らせる過程と、

前記送信データおよび前記誤り検出符号を、ビット毎に K 回リビートしたフレームを生成する過程と、

生成した前記各フレームを、ビットをレビートしない場合と比較して、 $1/K$ の送信電力で送信する過程と

を具備し、

- 7 -

受信側においては、

前記送信側から知らされた値Kを用いて、受信した前記送信データおよび前記誤り検出符号から、データを間引いて元のデータを復元する過程を具備してもよい。

送信側においては、既知のパイロットシンボルを前記各フレームに周期的に挿入する過程と、前記送信データ中の重要データを、前記パイロットシンボルの近傍に配置する過程とを具備し、

受信側においては、前記パイロットシンボルを検出する過程と、検出した前記パイロットシンボルによって、受信した前記送信データおよび前記誤り検出符号を補償する過程と、受信した前記送信データを元の配置に戻す過程とを具備してもよい。

前記送信側においては、

前記送信データを複数チャンネルの各フレームに分割して割り当てる過程と、

既知のパイロットシンボルを前記複数チャンネルの1つのチャンネルの各フレームに周期的に挿入する過程と、

前記送信データ中の重要データを、前記パイロットシンボルの近傍に配置する過程と、

前記複数の各チャンネルに割り当てられた別々の拡散系列符号を用いて、前記送信データを同時に拡散し、前記各チャンネルを通して送信する過程と

を具備し、

前記受信側においては、

前記複数のチャンネルを同時に受信する過程と、

前記1つのチャンネルのパイロットシンボルを検出する過程と、

検出されたパイロットシンボルを用いて、前記複数のチャンネルの各受信信号を補償する過程と、

受信した前記送信データを元の配置に戻す過程と
を具備してもよい。

送信側で複数チャネルを同時に送信する際、前記チャネルの各キャリアの位相をずらして、送信してもよい。

前記重要データは、制御データであってもよい。

送信側においては、前記誤り検出符号を前記各フレーム内の固定された位置に配置する過程を具備し、受信側においては、前記各フレームの固定された位置にある前記誤り検出符号を分離する過程と、該誤り検出符号に基づいて、前記送信データのビット数を得る過程とを具備してもよい。

送信側において、前記各フレーム内の前記送信データおよび前記誤り検出符号を1次変調する過程と、前記1次変調されたフレーム内データを拡散符号系列で2次変調して伝送する過程とを具備するCDMAデータ伝送方法であってもよい。

送信側においては、前記1次変調する前の前記送信データを、誤り訂正符号化およびインタリーブする過程を具備し、受信側においては、受信された前記送信データを1次復調する過程と、1次復調された前記送信データをデインタリーブおよび誤り訂正復号化する過程とを具備してもよい。

送信側においては、

前記各フレーム内の、前記送信データおよび前記誤り検出符号の合計のデータ長が、前記各フレームで伝送できる最大ビット数の $1/K$ (K は正の整数)以下の場合は、前記送信データおよび前記誤り検出符号の各ビットを K 回リピートする過程と、

前記各フレームの送信電力を、前記ビットのレピートをしない場合と比べ $1/K$ とする過程と

を具備し、

- 9 -

受信側においては、

受信された前記送信データおよび前記誤り検出符号に対して、Kビットの区間積分を行う過程と、

積分されたデータを、Kビット毎に間引き処理して、前記送信データを復元する過程と

を具備してもよい。

送信側においては、

前記各フレーム内のデータのビット数を表す伝送レート情報および前記誤り検出符号を、前記フレーム内の固定された位置に付加する過程を具備し、

受信側においては、

受信された前記各フレーム毎に、前記伝送レート情報に基づいて、前記送信データの最終ビット位置を求める過程と、

前記最終ビット位置までの前記送信データに対して誤り検出符号を算出する過程と、

前記算出された誤り検出符号を、受信された前記誤り検出符号と比較する過程と、

比較結果が一致した場合に、前記最終ビット位置までの前記送信データが正しいデータであると判定する過程と

を具備してもよい。

送信側において、前記各フレーム内の前記送信データおよび前記誤り検出符号を1次変調する過程と、前記1次変調されたフレーム内データを拡散符号系列で2次変調して伝送する過程とを具備するCDMAデータ伝送方法であってもよい。

送信側においては、

前記1次変調前の、前記各フレーム内の前記送信データ、前記伝送レート

- 10 -

情報および前記誤り検出符号を、誤り訂正符号化する過程と、

誤り訂正符号化された前記各フレーム内のデータをインタリーブした後、

1 次変調する過程に供給する過程と

を具備し、

受信側においては、

受信された前記各フレーム内のデータを、拡散符号系列を用いて逆拡散する過程と、

逆拡散された信号を 1 次復調する過程と、

1 次復調後の前記伝送データをデインタリーブする過程と、

前記伝送レート情報および前記誤り検出符号を誤り訂正復号化する過程と、

前記誤り訂正復号化の結果に基づいて、前記送信データを最終ビットまで誤り訂正復号化する過程と

を具備してもよい。

送信側においては、現在のフレーム内の前記伝送レート情報を、直前のフレーム内の固定された位置に付加する過程を具備し、受信側においては、直前のフレームにおいて受信された前記伝送レート情報を抽出する過程と、抽出された前記伝送レート情報に基づいて、現在のフレーム内のデータの最終ビット位置を判定する過程とを具備してもよい。

送信側においては、

前記各フレーム内の各データを誤り訂正符号化する過程と、

前記各フレームをインタリーブする過程と、

インタリーブされた前記各フレームを 1 次変調する過程と、

1 次変調した前記各フレーム内の伝送データを、拡散符号系列によって拡散する 2 次変調を行う過程と

を具備し、

- 11 -

受信側においては、

受信された前記伝送データを1次復調する過程と、

1次復調後の前記伝送データをデインタリーブする過程と、

前記直前のフレームで送信された前記伝送レート情報、および現フレーム内の前記誤り検出符号を誤り訂正復号化する過程と、

前記誤り訂正復号化の結果に基づいて、前記送信データを最終ビットまで誤り訂正復号化する過程と

を具備してもよい。

前記送信データのビット数が、前記各フレームで伝送できる最大のビット数の $1/K$ (K は正の整数) 以下の場合は、

送信側においては、

前記送信データの各ビットを K 回反復する過程と、

K 回反復しない場合と比べて $1/K$ の電力で前記各フレームを送信する過程と

を具備し、

受信側においては、

受信された前記各フレーム内のデータを、 K ビットの区間積分する過程と、

前記積分されたデータを、 K ビット毎に間引き処理し、前記送信データを復元する過程と

を具備してもよい。

第2に、本発明によれば、一定時間長の各フレームに、可変長の送信データを収めて送信することによって、平均的な伝送レートを変化させる送信装置において、

前記各フレーム毎に、前記送信データの誤り検出符号を算出する手段と、

前記各フレーム内の、前記送信データおよび前記誤り検出符号を、予め定め

- 12 -

た一定の伝送レートで送信するとともに、前記各フレーム内において、前記送信データおよび前記誤り検出符号が存在しない空白部分は、送信を停止する送信手段と

を具備することを特徴とする送信装置が提供される。

既知のパイロットシンボルを前記各フレームに周期的に挿入するパイロットシンボル挿入手段と、

前記送信データを記憶するメモリと、

前記メモリに記憶された送信データの中の重要データを、前記パイロットシンボルの近傍に配置するデータ再配置手段と

を具備してもよい。

前記データ再配置手段は、前記パイロットシンボルで挟まれるスロットのビット数を N 、前記各フレームに含まれるスロット数を M とした場合、 M ビット長の行単位で前記メモリに前記送信データを書き込み、書き込まれた前記送信データを N ビット長の列単位で前記メモリから読み出すことで、前記重要データを前記パイロットシンボルの近傍に配置してもよい。

前記データ再配置手段は、前記メモリに書き込む際、前記重要データの書き込みを、前記メモリの先頭と末尾から、1行毎に交互に行ってもよい。

前記送信データを含む各フレーム内のデータを変調する1次変調器と、

1次変調された前記各フレームのデータを、拡散系列符号を用いて拡散する2次変調を行う2次変調器とを具備し、

前記パイロットシンボル挿入手段は、前記1次変調器と前記2次変調器の間に接続され、前記パイロットシンボルを前記スロット間に周期的に挿入してもよい。

前記パイロットシンボル挿入手段の後に、送信電力制御手段を挿入し、前記各フレーム内のデータの重要度に応じて送信電力を制御してもよい。

前記送信データのビット数が前記各フレームの最大ビット数に満たない場合は、その空白部分に予め定めた特定の符号を書き込み、前記送信電力制御手段で、前記空白部分の送信電力をゼロとしてもよい。

前記送信データおよび前記誤り検出符号を、ビット毎にK回レビートするレビート回路を、前記メモリの前段に配し、前記送信電力制御手段は、前記各フレームの送信電力を、前記K回レビートしない場合と比較して、 $1/K$ にしてもよい。

既知のパイロットシンボルを、前記各フレームに周期的に挿入するパイロットシンボル挿入手段と、

前記送信データを記憶するメモリであって、複数系列の送信データを同時に読み出すことができるメモリと、

前記メモリに書き込まれた前記送信データの中の重要データが、前記パイロットシンボルの近傍に位置するように配置変えて、前記メモリに書き込むデータ再配置手段と、

前記メモリから読み取った複数系列の送信データを、それぞれ1次変調する複数の1次変調器と、

前記各1次変調器から出力された前記各フレームの送信電力を制御する複数の送信電力制御手段と、

前記各送信電力制御手段から出力された前記各フレーム内のデータを、異なる拡散符号を用いて拡散する複数の2次変調器と、

2次変調された複数の信号を合成する加算回路と
を具備し、

前記データ再配置手段は、前記送信データを分割して前記メモリに書き込み、かつ前記分割された複数の送信データ系列を前記メモリから同時に読み出して、前記複数の1次変調器に供給し、前記パイロットシンボル挿入手段は、前記複数

- 14 -

の1次変調器のいずれか1つの1次変調器の後に接続され、前記各フレームのスロット間に、前記パイロットシンボルを周期的に挿入し、前記送信電力制御手段は、前記重要データの送信時には、送信電力を増加してもよい。

前記複数の1次変調器の後に挿入され、前記2次変調器のキャリアの位相をずらす複数の位相制御回路を具備してもよい。

前記誤り検出符号をフレーム内の固定された位置に付加する手段を具備してもよい。

前記各フレーム内のデータを誤り訂正符号化する手段と、

誤り訂正符号化されたデータをインタリーブする手段と、

インタリーブされたデータを1次変調する手段と、

1次変調されたデータを、拡散符号系列を用いて2次変調する手段と

を具備してもよい。

前記各フレーム内のデータが、1フレームで伝送できる最大のビット数の $1/K$ (K は正の整数) 以下の場合に、前記各フレーム内のデータの各ビットを K 回リピートする手段と、

前記各フレームの送信電力を、 K 回リピートしないときと比べ、 $1/K$ にする送信電力制御手段と

を具備してもよい。

前記各フレーム内のデータの合計ビット数を示す伝送レート情報、および前記誤り検出符号を、前記フレーム内の固定された位置に付加する付加手段を具備してもよい。

前記各フレーム内の送信データ、前記伝送レート情報、および前記誤り検出符号を誤り訂正符号化する手段と、

誤り訂正符号化されたデータをインタリーブする手段と、

前記インタリーブ後のデータを1次変調する1次変調手段と、

- 15 -

前記1次変調後のデータを、拡散符号系列を用いて拡散する2次変調手段とを具備してもよい。

現在のフレーム内のデータの前記伝送レート情報を、直前のフレーム内の固定された位置に付加する手段を具備してもよい。

前記各フレーム内の送信データ、前記伝送レート情報、および前記誤り検出符号を誤り訂正符号化する手段と、

誤り訂正符号化されたデータをインタリーブする手段と、

前記インタリーブ後のデータを1次変調する1次変調手段と、

前記1次変調後のデータを、拡散符号系列を用いて拡散する2次変調手段とを具備してもよい。

前記各フレーム内のデータが、1フレームで伝送できる最大のビット数の $1/K$ (K は正の整数) 以下の場合に、前記各フレーム内のデータの各ビットを K 回リビートする手段と、

前記各フレームの送信電力を、 K 回レビートしないときと比べ、 $1/K$ にする送信電力制御手段とを具備してもよい。

第3に、本発明によれば、送信データおよび誤り検出符号を含むフレームを、一定の伝送レートに基づいて受信する手段と、

前記各フレーム内の前記誤り検出符号を検出する手段と、

前記誤り検出符号の検出結果に基づいて、前記各フレーム内の前記可変長の送信データを復元する手段と

を具備することを特徴とする受信装置が提供される。

前記誤り検出符号を検出する手段は、前記各フレーム内のデータを1ビットずつシフトして、予め定めた値で順次割り算し、剰余がゼロとなったときに前記誤り検出符号を検出したと判定してもよい。

- 16 -

前記各フレームに挿入されて、周期的に伝送されてくる既知のパイロットシンボルを検出する手段と、

前記各フレーム内のデータを記憶するメモリと、

重要データが前記パイロットシンボルの近傍に配置された、前記各フレーム内のデータを受信する場合に、前記メモリに書き込まれたデータを並び替えて、元のデータ配置に戻すデータ再配置手段と

を具備してもよい。

前記データ再配置手段は、前記パイロットシンボルで挟まれるスロットのビット数を N 、前記各フレームに含まれるスロット数を M とした場合、 N ビット長の列単位で前記メモリに前記各フレーム内のデータを書き込み、書き込まれた前記データを M ビット長の行単位で前記メモリから読み出すことで、前記各フレーム内のデータを元の配置に戻してもよい。

前記データ再配置手段は、前記メモリからの読み出しを、前記メモリの先頭と末尾から、1行毎に交互に行ってもよい。

拡散系列符号を用いて、受信データを逆拡散する2次復調器と、

前記パイロットシンボルを用いて、前記各フレーム内のデータを補償する補償回路と、

前記補償回路によって補償された前記データを復調する1次復調器とを具備してもよい。

受信された前記各フレーム内のデータを、 K ビットの区間積分する手段と、

前記積分されたデータを、 K ビット毎に間引き処理し、前記送信データを復元する手段と

を具備してもよい。

複数のチャネルを通して同時に送られてきた複数系列のフレームを、それぞれ逆拡散する複数の2次復調器と、

- 17 -

前記複数のチャネルの内の1つのチャネルを通して送られてきたフレームに、周期的に挿入されたパイロットシンボルを用いて、前記複数系列のフレーム内のデータを補償する補償回路と、

補償されたデータを復調する複数の1次復調器と、

前記複数系列のデータを同時に書き込むことのできるメモリと、

前記複数系列のデータをフレーム別に前記メモリに同時に書き込み、書き込みと異なる順序で読み出すことによって、前記パイロットシンボルの近傍に配置されている重要データを元のデータ配置に戻すデータ再配置手段とを具備してもよい。

前記各チャネルに設けられ、前記複数系列のデータの各位相を修正する位相制御回路を具備してもよい。

受信した拡散信号を逆拡散して、逆拡散信号を出力する2次復調器と、

逆拡散信号から前記各フレーム内のデータを復元する1次復調器と、

前記各フレーム内の固定された位置にある前記誤り検出符号を格納する誤り検出符号メモリと、

前記各フレーム内のデータから誤り検出符号を算出する手段と、

前記算出した誤り検出符号を、前記誤り検出符号メモリに格納された誤り検出符号と比較する比較手段と

を具備し、

前記比較結果に基づいて、前記各フレーム内のデータのビット数を得ることによって、フレーム毎に変変ビット数のデータを受信してもよい。

前記1次復調器から出力されたデータをデインタリーブする手段と、

前記デインタリーブされたデータを誤り訂正復号化する手段と

を具備してもよい。

受信された前記各フレーム内のデータを、Kビットの区間積分する手段と、

前記積分されたデータを、Kビット毎に間引き処理し、前記送信データを復元する手段と

を具備してもよい。

受信された各フレームの固定された位置に配置され、該フレーム内の送信データのビット数を示す伝送レート情報に基づいて、前記送信データの最終ビット位置を判定する手段と、

前記送信データの誤り検出符号を、前記最終ビットまで算出する手段と、

前記算出された誤り検出符号を、前記フレーム内のデータとして送られてきた誤り検出符号と比較する手段と、

比較結果が一致した場合に、前記最終ビット位置までのデータが、前記フレーム内の送信データであると判定する手段と

を具備してもよい。

受信した拡散信号を逆拡散して、逆拡散信号を出力する2次復調器と、

前記逆拡散信号から前記各フレーム内のデータを復元する1次復調器と、

前記1次復調器から出力されたデータをデインタリーブする手段と、

前記デインタリーブ手段から出力された前記伝送レート情報および前記誤り検出符号を誤り訂正復号化する手段と、

前記訂正復号化の結果に基づいて、前記送信データを前記最終ビットまで誤り訂正復号化する手段と

を具備してもよい。

前記最終ビット位置を判定する手段は、直前のフレームにおいて受信された前記伝送レート情報に基づいて、現在のフレームの送信データの最終ビット位置を判定してもよい。

受信した拡散信号を逆拡散して、逆拡散信号を出力する2次復調器と、

前記逆拡散信号から前記各フレーム内のデータを復元する1次復調器と、

- 19 -

前記1次復調器から出力されたデータをデインタリーブする手段と、

前記デインタリーブ手段から出力されたデータの中の、前記伝送レート情報および前記誤り検出符号を誤り訂正復号化する手段と、

直前のフレームにおいて受信された前記伝送レート情報の、誤り訂正復号化の結果に基づいて、前記送信データを前記最終ビットまで誤り訂正復号化する手段と

を具備してもよい。

前記フレーム内のデータのビット数が、1フレームで伝送できる最大ビット数の $1/K$ (K は正の整数) 以下の場合に、

受信された前記各フレーム内のデータを、 K ビットの区間積分する手段と、

前記積分されたデータを、 K ビット毎に間引き処理し、前記送信データを復元する手段と

を具備してもよい。

第4に、本発明によれば、送信側においては、既知のパイロットシンボルを各フレームに周期的に挿入する過程と、送信データ中の重要データを、前記パイロットシンボルの近傍に配置する過程とを具備し、

受信側においては、前記パイロットシンボルを検出する過程と、検出した前記パイロットシンボルによって、受信した前記送信データおよび誤り検出符号を補償する過程と、受信した前記送信データを元の配置に戻す過程とを具備することを特徴とする可変レート伝送方法が提供される。

本発明によれば、誤り検出情報に基づいて受信側で伝送レートを推定するので、送信側から受信側に伝送レートを通知しなくてもよい。このため、通信途中でフレーム毎に伝送レートが変化する可変レートデータでも伝送できる。

一方、伝送レート情報を受信側に通知すれば、より信頼性の高い可変レート伝送が可能となる。

- 20 -

また、本発明は、パイロットシンボルの近傍に重要データをマッピングしている。パイロットシンボルの近傍では、後述するように、データ誤りの確率が小さいので、重要度に応じたデータ保護を行うことができる。

さらに、本発明は、CDMA伝送において、重要度に応じて送信電力を大きくしているので、重要なデータの誤りを減らすことができる。また、送信電力を変化することによって、一定の周波数帯域で通信できるユーザー数を増加することができる。

また、本発明は、各フレーム中のデータのビット数が、1フレームで伝送できる最大ビット数よりも、かなり少ない場合でも、言い換えれば、送信データの伝送レートが、フレームの最大伝送レートよりもかなり低いときでも、送信データの各ビットを繰り返し送信することで、バースト伝送を避けることができる。

さらに、本発明は、CDMA伝送において、高速データを複数の系列を用いて送信し、複数系列内の1系列のみを用いて、パイロットシンボルや制御データを送信しているので、高速にデータを送れるとともに、他のユーザへ与える干渉電力を低減させることができる。また、この場合、各系列の送信信号を、位相を回転してから合成しているので、送信電力のピーク電力を抑制できる。これにより、他のユーザに与える干渉電力も低減できる。

図面の簡単な説明

図1 Aおよび図1 Bは、本発明による可変レート伝送方法を用いた送信装置および受信装置の第1実施例を示すブロック図である。

図2 Aおよび図2 Bは、第1実施例の多重回路4から出力されるデータ系列の様子を示す線図であり、図2 Aは、送信データの伝送レートが最大の場合、図2 Bは、伝送レートが最大レートより小さい場合を示す。

図3は、図1Aのインタリーブ回路106のフレームメモリ106Bを示す概念図である。

図4は、図1Aのフレームメモリ106Bから出力されるデータ系列のフレーム構成を示す線図である。

図5は、第1実施例における、それぞれが2面構成のフレームメモリ103および106Bを使用したときの処理の様子を示す線図である。

図6Aおよび図6Bは、本発明による可変レート伝送方法を用いた送信装置および受信装置の第2実施例を示すブロック図である。

図7Aおよび図7Bは、図6Aの多重回路104の出力を示す線図であり、図7Aは、送信データの伝送レートが最大の場合を示し、図7Bは、送信データの伝送レートが最大レートよりも小さい場合を示す。

図8Aおよび図8Bは、伝送レート情報を、直前のフレームに収めて送信する場合に、図6Aの多重回路104から出力されるデータ系列の様子を示す概念図である。

図9Aおよび図9Bは、本発明による可変レート伝送方法を用いた送信装置および受信装置の第3実施例を示すブロック図である。

図10は、図9Aのレピート回路121の動作を説明するための概念図であり、図10(A)は、図9Aの多重回路104の出力、図10(B)は、図9Aの誤り訂正符号化回路の出力、図10(C)は、レピート回路121の出力を示す。

図11Aおよび図11Bは、本発明による可変レート伝送方法を用いた送信装置および受信装置の第4実施例を示すブロック図である。

図12は、図11Aのレピート回路121の動作を説明するための概念図であり、図12(A)は、図11Aの多重回路104の出力、図12(B)は、図11Aの誤り訂正符号化回路の出力、図12(C)は、レピート回路121の出

力を示す。

図 13 は、本発明による可変レート伝送方法を用いた送信装置の第 5 実施例におけるフレーム内データのビット繰返し方法を説明するための概念図である。

図 14 A および図 14 B は、本発明による可変レート伝送方法を用いた送信装置および受信装置の第 6 実施例を示すブロック図である。

図 15 A は、図 14 A のパイロットシンボル挿入部 130 の構成を示すブロック図である。

図 15 B は、図 14 B の 1 次復調器 152 の構成を示すブロック図である。

図 16 は、図 14 A の多重回路 104 から出力されるデータの構造を示す概念図である。

図 17 は、図 14 A のフレームメモリ 106 B への、書き込みと読み出しの順序を示す概念図である。

図 18 は、前記 14 A のパイロットシンボル挿入回路 130 から出力される変調シンボル系列の構成を示す概念図である。

図 19 は、第 6 実施例のスロット構造を示す概念図である。

図 20 は、本発明による可変レート伝送方法を用いた送信装置の第 7 実施例を示すブロック図である。

図 21 は、第 7 実施例における送信電力制御を説明するための概念図である。

図 22 は、本発明による可変レート伝送方法を用いた送信装置の第 8 実施例におけるフレームメモリ 106 B に格納されたデータの一例を示す概念図である。

図 23 は、第 8 実施例の受信装置の要部の構成を示すブロック図である。

図 24 は、本発明による可変レート伝送方法を用いた送信装置の第 9 実施例を示すブロック図である。

図 25 は、第 5 実施例の受信装置の要部の構成を示すブロック図である。

図 26 は、本発明による可変レート伝送方法を用いた送信装置の第 10 実施

例を示すブロック図である。

図 27 は、第 10 実施例において送信される複数系列のフレームの構成を示す概念図である。

図 28 は、本発明による可変レート伝送方法を用いた送信装置の第 11 実施例における、複数系列の送信データの位相制御を説明するための線図である。

発明を実施するための最良の形態

以下、図面を参照して、本発明の実施例を説明する。

実施例 1

図 1 A および 1 B は、本発明による可変レート伝送方法を用いた送信装置および受信装置の第 1 実施例を示すブロック図である。

図 1 A は、送信装置の構成を示す。図 1 A において、入力端子 101 A に加えられた送信データ系列は、誤り検出符号化回路 102 ならびにフレームメモリ 103 に送られる。フレームメモリ 103 は、1 フレーム時間に送信すべきビット数のデータを保持する。一方、誤り検出符号化回路 102 は、1 フレーム分の送信データの誤り検出符号（例えば CRC 符号）を算出する。次に、多重回路 104 は、算出された誤り検出符号を、送信データの直前に付加して、1 フレーム毎にデータ系列を順次出力する。

図 2 A および図 2 B は、多重回路 4 から出力されるデータ系列の様子を示す。図 2 A は、送信データの伝送レートが最大の場合を示し、図 2 B は、伝送レートが最大レートより小さい場合を示している。図 2 B から分かるように、最大レートより小さい伝送レートで送信を行う時は、フレーム内に空き時間（データなしの空白部分）ができる。そして、誤り検出符号が 1 フレームの定まった位置に

挿入される。たとえば、図2 Aおよび図2 Bでは、フレームの先頭に配置されている。

図1 Aに戻り、誤り検出符号の付加された1フレーム分のデータ系列は、誤り訂正符号化回路105において誤り訂正符号化され、インタリーブ回路106に入力される。インタリーブ回路106は、制御部106 Aおよびフレームメモリ106 Bを有している。

図3は、インタリーブ回路106のフレームメモリ106 Bを示す概念図である。フレームメモリ106 Bは、A、Bの2面構成であるが、図3は、その内の1面のみを示す。この図を参照して、インタリーブ処理の一例を説明する。制御部106 Aは、1フレーム分のデータ系列を、フレームメモリ106 Bに書き込んだ方向とは異なる方向で読み出す。すなわち、制御部106 Aは、フレームメモリ106 Bの行方向に書き込んだ送信データを、列方向に読み出す。こうしてインタリーブされたデータ系列は、フレームメモリ106 Bの別の面に再格納される。なお、図3のフレームメモリ106 Bの左側に付けられた番号(#1-#N)は、データの書き込み順序を示す番号であるが、これについては後述する第6実施例において説明する。

図4は、フレームメモリ106 Bから出力されるデータ系列のフレーム構成を示す。フレームメモリ106 Bの列に相当するデータ区間をスロットと呼ぶ。したがって、フレームメモリ106 Bの1フレーム分が、図3に示すように、Mビット/行×N行で構成されるとすれば、1スロットがNビット、1フレームがMスロットで構成されることになる。1フレームのビット数は、N×Mビットとなる。この様に、送信データを、誤り訂正符号化回路105で誤り訂正符号化した後、インタリーブ回路106でインタリーブしているので、バースト誤りに対しても、誤り訂正符号によって訂正可能となる確率が高くなる。

図1 Aにおけるフレームメモリ103および106 Bは、それぞれ2フレ-

- 25 -

ム分のデータを保持できるように、2面（A面、B面）構成となっている。最初に送られて来る1フレーム分のデータは、まずフレームメモリ103のA面に書き込まれ、誤り訂正符号化、インタリーブ処理を行った後、フレームメモリ106BのA面に書き込まれる。続いて送られて来る1フレーム分のデータは、フレームメモリ103のB面に書き込まれ、誤り訂正符号化、インタリーブ処理を行った後、フレームメモリ106BのB面に書き込まれる。このように、A面およびB面を交互に使用することで、一連のデータ系列に対する処理を継続することが可能となる。

図5は、2面構成のフレームメモリを使用した処理の様子を示す。図5からわかるように、入力データ系列をフレームメモリ103に1フレーム分書き込んだ後、誤り訂正符号化およびインタリーブを一括処理し、処理されたデータがフレームメモリ106Bに書き込まれる。このため、送信データ系列は、1フレーム分の遅延および処理遅延が生じる結果となる。フレームメモリ106Bから出力されたデータ系列は、1次変調器108で位相変調された後、2次変調器109において、送信データの伝送レートの整数倍（通常、数十から数百倍）のチップレートを有する拡散符号系列によって位相変調（拡散）され、出力端子110から送出される。なお、スロット内の空き区間では、1次変調器108による変調は行わないものとする。

以上の処理によって、送信装置は、一定のフレーム時間に可変のビット数を送ることになる。言い換えれば、見かけ上、可変伝送レートで拡散データを送信することになる。

図1Bは、受信装置を示すブロック図である。この受信装置は、入力端子150から供給された拡散データを、2次復調器151で逆拡散する。逆拡散データは、1次復調器152で検波され、デインタリーブ回路153に供給される。デインタリーブ回路153は、制御部153Aおよび2面構成のフレームメモリ

153Bを有し、送信側のインターリーブ回路106における入力と出力とを逆にした手順で動作する。すなわち、制御部153Aは、データを列毎（スロット毎）にフレームメモリ153Bに書き込み、行毎に読み出す。このような操作により、1フレーム分の元のデータ系列が再現され、誤り検出符号と、それに続くデータ系列とが得られる。

この誤り検出符号とデータ系列は、誤り訂正復号化回路154によって、誤り訂正復号化されたあと、分離回路155に供給される。分離回路155は、常にフレームの定まった位置にある誤り検出符号と送信データ系列とを分離する。これは、分離回路155において、フレームの同期をとることにより行われている。分離された誤り検出符号は、誤り検出符号メモリ157に供給され保持される。一方、データ系列は、出力端子159から受信データとして出力されるとともに、誤り検出符号化回路156に入力される。誤り検出符号化回路156は、入力データ系列に対し、送信側と同一の誤り検出符号化を再度行う。こうして得られた誤り検出符号は、比較回路158において、誤り検出符号メモリ157に保持されたデータ系列と、符号ビット毎に比較される。比較回路158は、全符号ビットが一致した場合に、端子160から一致信号を出力する。伝送の途中で誤りが発生していない場合は、正しい送信データのビット数で一致信号が出力されることになり、出力端子159から出力された、受信フレーム内の受信データ系列が有効であると判断できる。

以上のような構成の送受信装置を用いてデータ伝送を行うと、フレーム内の伝送ビット数を表す情報を、送信側から受信側に送る必要がなくなる。このため、送信側で、フレーム内の伝送ビット数（すなわち、見かけ上の伝送レート）をフレーム毎に変化させても、受信側では、これに正しく応答できることになる。すなわち、見かけ上の伝送レートが、通信途中でフレーム毎に変化するような、可変レート伝送を行うことができる。なお、フレームの長さは常に一定としている

ため、仮に送信データが全くないフレームがあったとしても、受信側では、常に正しくフレームを認識することができる。

ところで、伝送データ中に誤りがあった場合は、比較回路158は、間違った位置で一致信号を検出（誤検出）するおそれがある。この場合、分離回路155は、フレーム内の有効データの一部分だけを有効データとして出力するか、あるいは全有効データの後に無意味なデータを付加した形のデータを出力してしまう。しかし、本実施例の送受信装置では、誤り検出符号をフレームの固定された位置に配置しているため、誤り検出符号の符号長を、通常の誤り検出に十分なビット数以上の、一定のビット数にすると、この誤検出の確率を非常に小さくできる。また、フレーム内の送信ビット数の取り得る数を制限する（例えば、2ビット単位で設定する）と、比較回路158の一致信号が得られる位置が制限されるため、間違った位置で一致信号を出力する確率をさらに減少することができる。

実施例2

図6Aおよび6Bは、本発明による可変レート伝送方法を用いた送受信装置の第2実施例を示すブロック図である。第2実施例は、伝送レート情報を、送信側から受信側に通知する点が第1実施例と異なる。具体的には、次の点が異なっている。

(1) 送信装置に伝送レート情報メモリ113を設けた点。

伝送レート情報メモリ113は、フレームメモリ103に保持されているフレームデータの伝送レート情報、すなわち、そのフレームデータのビット数を表す情報を記憶するメモリである。この情報は、フレーム毎に、端子101Bから伝送レート情報メモリ113に入力される。これによって、送信装置は、一定のフレーム時間に、可変のビット数のデータを、伝送レート情報とともに送信することになる。

(2) 多重回路104が、誤り検出符号の前に伝送レート情報を挿入する点。

図7Aおよび7Bは、多重回路104の出力を示す。図7Aは、送信データの伝送レートが最大の場合を示し、図7Bは、送信データの伝送レートが最大レートよりも小さい場合を示す。図7Bの場合には、フレーム内に空き時間、すなわちデータの無い空白部分ができる。これらの図に示すように、各フレームは、伝送レート情報、誤り検出符号および送信データから構成される。第1実施例と異なるのは、誤り検出符号の前に伝送レート情報が配置されている点である。

(3) 受信装置にも伝送レート情報メモリ161を設けた点。

伝送レート情報メモリ161は、誤り訂正符号化回路154から供給される受信データの中から、伝送レート情報を抽出し、これを記憶する。

このような構成によれば、送信装置からは、図7Aおよび図7Bに示すようなデータが、インタリーブされた後、変調、拡散されて送信される。

受信装置では、第1実施例と同様に、逆拡散、復調およびデインタリーブを行う。これによって、1フレーム分の原データ系列が再現され、伝送レート情報、誤り検出符号および伝送データ系列が得られる。これらは、誤り訂正復号化回路154に送られ、誤り訂正復号化される。

誤り訂正復号化回路154からの復号出力のうち、伝送レート情報は、伝送レート情報メモリ161に入力され保持されるとともに、端子162から出力される。一方、伝送データ系列および誤り検出符号は、分離回路155において分離された後、伝送データは、端子159から受信データとして出力されるとともに、誤り検出符号化回路156に入力される。一方、誤り検出符号は、誤り検出符号メモリ157に入力され保持される。

誤り検出符号化回路156は、入力されたデータ系列に対し、送信装置側と同一の誤り検出符号化を最終ビットまで再度行う。この最終ビットが、伝送レート情報メモリ161から供給される点が、第1実施例と異なっている。以下、第

- 29 -

1 実施例と同様にして、比較回路 158 は、誤り検出符号化回路 156 から出力された誤り検出符号を、誤り検出符号メモリ 157 の内容と符号ビット毎に比較し、全符号ビットが一致した場合に、一致信号を端子 160 から出力する。伝送途中で誤りが発生していない場合は、端子 160 に一致信号が出力される。このとき、端子 159 から出力されるフレーム内の伝送データ系列、および端子 162 から出力される伝送レート情報が、正しく受信されたと判断できる。本実施例において、誤り訂正符号として畳み込み符号を用い、その復号法として最尤復号法を用いる場合は、逐次的な最尤復号によって、伝送レート情報の復号結果を一旦求め、この伝送レート情報によって指示された最終ビットまでの伝送データについて、誤り訂正復号化を行う。この場合、伝送レート情報の復号結果の信頼度は、復号器の性質上、それに蓄積される入力信号、すなわち、後続する符号化データ系列が長いほど高くなる。このため、伝送データ以外の誤り検出符号等の固定長のデータ系列を、できるだけ伝送レート情報の直後に連続して配置するのが望ましい。

さらに、伝送データを最終ビットまで復号するために、次のような方法を用いてもよい。すなわち、送信装置において、最終ビットの直後にテールビットを付加して、誤り訂正符号化し、受信装置において、このテールビットによって、誤り訂正復号過程を完了させてもよい。なお、送信装置において、伝送レート情報の後にテールビットを挿入して送信し、受信装置における復号動作をここで一旦完了させて伝送レート情報を得た後、再度復号動作を開始して、伝送データを最終ビットまで復号することも可能である。

上述した一連の動作では、入力データ系列をデインタリーブ回路 153 のメモリ 153A に 1 フレーム分書き込んだ後、デインタリーブ、誤り訂正復号化、および誤り検出符号化等の処理を一括して行っている。このため、伝送データ系列は、1 フレーム分のデインタリーブ遅延と処理遅延を受ける。

このような遅延を回避するためには、次のような方法をとることもできる。

まず、送信装置は、伝送レート情報メモリ 113 に保持されている、現在のフレーム内の送信データの伝送レート情報を、直前のフレーム内の先頭に付加して送信する。一方、受信装置は、伝送レート情報メモリ 161 に保持されている、直前のフレーム内の伝送レート情報に基づいて、現在のフレームの伝送データの最終ビット位置を得る。

図 8 A および 8 B は、このとき、送信装置の多重回路 104 から出力されるデータ系列の様子を示す。先行するフレームによって伝送レート情報を伝送すると、受信装置は、現在のフレームをデインタリーブする前に、有効データのビット数を知ることができ、デインタリーブによるフレーム遅延を解消できる。したがって、送信電力制御を行うデータ伝送のように、受信信号の電力を短い遅延時間で測定し、送信側にフィードバックする必要がある場合でも、有効データが伝送されている期間の受信信号電力を正確に測定することが可能となる。

なお、伝送レート情報を先行するフレームで伝送する場合は、一連のデータ伝送を開始する際、最初のフレームの伝送レート情報を送るためのダミーフレームが必要である。

上述した送信装置および受信装置によれば、受信装置で誤り検出符号の再符号化ならびに一致検出を行って、伝送データが有効であるかを否かを、フレーム毎に確認している。このため、受信した伝送レート情報（すなわち、フレーム内の伝送ビット数を表す情報）が、誤っていたとしても、長さの違う伝送データを出力してしまう可能性（誤検出）を極めて低くすることができる。これによって、信頼度の高い可変レートデータ伝送が行える。

上述した第 1 実施例、または第 2 実施例の送受信装置において、低い伝送レートでデータ系列を伝送しようとする、1 フレーム毎の送信データが少なくなる。フレーム長は一定であるため、このような場合は、短いデータ系列を間欠的

に伝送するバースト伝送となる。1フレームで伝送するビット数（誤り検出符号とデータ系列とを合わせた総合ビット数）が、最大のビット数の $1/K$ （ K は所定の正の整数）以下になることが予め分かっている場合は、誤り訂正符号化した後のデータ系列の各ビットを、 K 回リピートしたデータ系列を生成して送信することで、極端なバースト伝送を避けることが可能である。このようなデータ伝送を実現した実施例を以下に示す。

実施例 3

図 9 A および 9 B は、本発明による可変レート伝送方法を用いた送信装置および受信装置の第 3 実施例を示すブロック図である。

本実施例が、図 1 A および図 1 B に示す第 1 実施例と異なる主な点は、次の通りである。

(1) 送信側において、誤り訂正符号化回路 105 の直後に、リピート回路 121 を挿入した点。

リピート回路 121 は、図 10 (C) に示すように、フレーム内の各ビットを K 回（図 10 (C) では 2 回）リピートする機能を持っている。すなわち、図 10 (B) に示す、誤り訂正符号化回路 105 からの出力データの、各ビットを K 個ずつ重複させた新しいデータ系列を生成する。

(2) 1 次変調器 108 と 2 次変調器 109 との間に、送信電力を制御するための乗算器 123 を配置した点。

リピート回路 121 から出力されたデータは、インタリーブ回路 106 によってインタリーブされた後、1 次および 2 次変調されて送信される。この場合、同一ビットを K 回送信するため、このままでは、平均送信電力が、リピートを行わない場合に比較して K 倍になってしまう。平均送信電力の大きさは、他のユーザに与える干渉電力の大きさに比例する。そこで、リピートを行っても平均送信電

力が増加しないようにするため、図9Aの構成では、1次変調器108の後に乗算器123を設け、1次変調器108の出力に、電力係数 $=1/K$ を乗算する。

(3) 受信側において、デインターリーブ回路153の直後に、積分回路171および間引き置回路172を挿入した点。

積分回路171は、デインターリーブされた受信データ系列の、連続するKシンボル毎に積分値を求める。続く間引き置回路172は、この積分出力を、Kシンボル間隔に間引いて出力する。両方の回路171および172は、リピートされた伝送データ部分に対してのみこの操作を行い、それ以外の付加ビットはそのまま通過させる。

この実施例の動作を説明する。図10(A)は、多重回路104の出力を示す。このように、フレーム内に空きがあると、バースト送信になる。このため、誤り訂正符号化回路105から出力された誤り検出符号および送信データ(図10(B))を、リピート回路121に入力し、フレームが埋まるようにリピート係数Kを定めて(図示の場合は、 $K=2$)、各ビットをK多重する(図10(C))。これを送信すると、バースト送信にはならない。

一方、受信側では、積分回路171と間引き置回路172とを通して、送信装置の誤り訂正符号化回路105の出力と同一のデータ系列を得る。これ以降は、第1実施例と同様にして、最終的な受信データ系列を得る。

なお、受信装置で使用する繰り返し回数Kは、送信装置での値と同じにしなければならぬため、データの伝送に先立ち、受信側に送信しておく必要がある。

本実施例によれば、データの伝送レートが、最大レートに対してかなり低い場合でも、バースト伝送を回避しつつ、可変レート伝送を実現できる。

実施例4

図11Aおよび図11Bは、本発明による可変レート伝送方法を用いた送信

装置および受信装置の第4実施例を示すブロック図である。

本実施例は、第2実施例および第3実施例を組み合わせた構成である。すなわち、第3実施例の送信装置側に伝送レート情報メモリ113を付加し、受信装置側に伝送レート情報メモリ161を付加した構成である。

図12は、第2実施例の図10に対応する図である。伝送データの直前に伝送レート情報が挿入されている点が、本実施例の特徴である。他の動作は、第2および第3実施例から容易に理解できるので詳細な説明は省略する。

実施例5

上述した第3実施例および第4実施例では、各ビットを、1ビット毎にK回繰り返していたが、これに限定されるものではない。図13に示すように、所定のビット（図13では、4ビット）まとめて、そのまとまり毎にK回（図13では2回）繰り返してもよい。この場合、受信側では、図25に示すように、デインターリーブ回路153と積分回路171との間に再配置回路173を接続し、再配置回路173で同一ビットを抽出した後、積分回路171でKビットずつ積分する。他の構成は、図9Bと同様である。

この実施例によっても、第4実施例と同様の効果をあげることができる。

上述した第1実施例～第5実施例においては、パイロットシンボルを扱っていない。パイロットシンボルは、予め定められた一定のパターンをもち、送信データに周期的に挿入して間欠的に、あるいは、専用チャネルによって連続的に送信される。受信側では、既知パターンのパイロットシンボルを抽出して、伝送路のフェージングを推定し、フェージングによる受信信号の変動を補償する。以下の実施例は、このようなパイロットシンボルを含む可変レート伝送システムに関するものである。

実施例 6

図 14 A および図 14 B は、本発明による可変レート伝送方法を用いた送信装置および受信装置の第 6 実施例を示すブロック図である。

図 14 A の送信装置が、図 1 A の送信装置と異なる点は次の通りである。

(1) パイロットシンボルを挿入するためのパイロットシンボル挿入回路 130 が、1 次変調器 108 と 2 次変調器 109 との間に接続されている。パイロットシンボル挿入回路 130 については、図 15 A を参照して後述する。

(2) 入力端子 101 B から多重回路 104 に、制御データが供給されている。この制御データは、回線接続等に使用される重要なデータである。

(3) フレームメモリ 103 が省かれ、ユーザデータは、入力端子 101 A から直接多重回路 104 に供給されている。

一方、図 14 B の受信装置が、図 1 B の受信装置と異なる点は、次の通りである。

(1) 1 次復調器 152 の構成が、図 1 B のものと異なる。これについては、図 15 B を参照して後述する。

(2) 本実施例では、第 1 実施例のように、誤り検出符号のフレーム内における位置が特定されていない。このため、図 1 B の分離回路 155 以後の各回路は省略され、誤り訂正復号化回路 154 の出力端に誤り検出回路 144 が接続されている。

この誤り検出回路 144 は、各フレーム内のデータを、1 ビットずつシフトしながら、予め定められたデータで順次割り算して、割り切れた時点で誤り検出符号を検出したと判定する。本実施例では、誤り検出符号のデータ長は、予め分かっているので、誤り検出符号を識別することによって、送信データの最終ビットの位置を推定できる。すなわち、送信データを取り出すことができる。

図 14 A に戻り、入力端子 101 に印加されたユーザデータ系列は、まず、

- 35 -

予め定められたフレーム時間 T_f 毎のデータにまとめられる。誤り検出符号回路 102 は、ユーザデータの 1 フレーム分の検査符号（例えば CRC 符号）を算出し、多重回路 104 に供給する。多重回路 104 は、1 フレームにまとめられたユーザデータの先頭に、入力端子 101A からの制御データを付加するとともに、誤り検出符号回路 102 からの検査符号を、そのフレーム内のデータの最後に付加し、1 フレーム分のデータを作成する。

図 16 は、多重回路 104 から出力されるデータを示す。図 16 のように、フレームに空きができるのは、制御データ、ユーザデータおよび検査符号を合わせた総合のデータビット数（伝送レート）が、1 送信系列で伝送できる最大ビット数（最大レート）より小さいときである。

1 フレーム分の送信データは、誤り訂正符号化部 105 で誤り訂正符号化され、インタリーブ回路 106 に供給される。インタリーブ回路 106 は、図 17 に示すように、インタリーブメモリ 106B に書き込まれた 1 フレーム分のデータを、書き込まれた方向と異なる方向で読み出す。すなわち、行方向に書き込まれた 1 フレームの送信データを列方向に、予め定められた速度で読み出す。

読み出されたデータは、1 次変調器 108 で位相変調され、パイロットシンボル挿入回路 130 に供給される。パイロットシンボル挿入回路 130 は、供給されたデータに、パターン既知のパイロットシンボルを周期的に挿入し、変調シンボル系列を構成する。

図 15A は、パイロットシンボル挿入回路 130 の構成を示すブロック図である。パイロット発生回路 131 によって、周期的に生成されたパターン既知のパイロットシンボルは、多重回路 132 に供給される。多重回路 132 は、1 次変調器 108 から供給されたデータと、パイロットシンボルとを多重し、変調シンボル系列を生成する。

図 18 は、変調シンボル系列の構成を示す。図 18 において、周期的に挿入

されているパイロットシンボルで挟まれる区間をスロットと呼ぶ。1スロットがNビット、1フレームがMスロットとすると、1フレームはN×Mビットで構成される。

この変調シンボル系列は、2次変調器109に供給される。2次変調器109は、シンボルレートの整数倍(数十から数百倍)のチップレートの拡散符号系列を、変調シンボル系列に乘算し、出力端子110から送信電力増幅器へ送出する。

既知パターンのパイロットシンボルを、データ中に周期的に挿入して送信する場合、受信側では、このパイロットシンボルを用いて、スロット内の各シンボルの位相を推定し、補正する。すなわち、伝送途中でのフェージングによって変動した各シンボルの位相を補償する。この処理は、1次復調器152によって行われる。

図15Bは、1次復調器152の構成を示すブロック図である。2次復調器151から供給された逆拡散信号は、準同期検波回路181に供給される。準同期検波回路181は、送信側と同一周波数のキャリアを用いて、逆拡散信号を準同期検波し、検波出力を分離回路182に供給する。分離回路182は、準同期検波で得られたデータを、データシンボルとパイロットシンボルとに分離し、データシンボルを補償回路183へ供給し、パイロットシンボルを伝達関数推定回路184に供給する。

伝達関数推定回路184は、パイロットシンボルから伝搬路の伝達関数を推定し、この伝達関数を補償回路183へ供給する。補償回路183は、推定された伝達関数に基づいて、データシンボルの位相を補償し、補償出力を判定回路185に供給する。判定回路185は、補償されたデータを判定して、データシンボルを出力する。なお、この詳細は、上述したS.Sampeïの論文に開示されている。

このように、パイロットシンボルを周期的に挿入して送信し、これを用いて

同期検波する場合、伝送路推定の精度は、パイロットシンボル近傍で最も高くなる。そこで、この実施例では、パイロットシンボル近傍に高品質伝送が要求されるデータを配置して送信する構成とする。このため、図14Aのインタリーブ回路106のフレームメモリ106Bへの書き込み/読み出しを制御して、制御データなどのように高品質伝送が要求される重要なデータは、パイロット信号の近傍に配置されるようにする。

以下、図3および図19を参照して、この処理を説明する。

前述したように、図3は、インタリーブ回路106内のフレームメモリ106Bの1フレーム分のデータ配置を示している。フレームメモリ106Bの1行のビット数は、1フレームを構成するスロット数と等しいMとする。また、1列のビット数（すなわち行数）は、1スロットのビット数と等しいNとする。この2次元で表したフレームメモリ106Bには、誤り検出のための検査符号を含む、1フレーム分のデータが、行方向に1ビットずつ書き込まれる。この場合、フレームメモリ106Bには、1行毎に1フレーム分の上と下から、交互に書き込まれる。図3に示す行番号は、この書き込みの順番を表している。図16に示すように、制御データは、フレームの先頭にあるので、若い番号の行に書き込まれることになる。すなわち、この重要なデータは、フレームメモリ106Bの、1フレーム分の先頭部分と末尾部分とに書き込まれることになる。

一方、フレームメモリ106Bからデータを読み出すときは、列方向に1ビットずつ読み出す。この場合、列番号（1～M）は、図18のスロット番号に対応している。フレームメモリ106Bから、このようにデータを読み出すと、図19に示すように、各スロットにおいて、パイロットシンボルの近傍に重要データ（制御データ）がマッピングされる。図19においては、1スロット中に空きがあるが、これは、図16において、1フレームに空きがあることに対応している。

受信側においては、インタリーブ回路106に対応して、デインタリーブ回

路153が設けられている。デインタリーブ回路153は、スロットに分解されたデータをフレーム構成のデータに復元する。このデインタリーブ回路106は、インタリーブ回路106と逆の動作を行うことで、データを復元する。

このようにして、データを伝送すると、パイロットシンボル付近の一番誤ることの少ない部分を用いて、重要な制御データを伝送することができる。

ところで、受信データの誤り率は、受信電力が大きいくほど低くなる。そこで、送信データの重要度に応じて送信電力を変えて送信することによって、データ誤り率の低減を図ったのが、次の第7実施例である。

実施例7

図20は、本発明による可変レート伝送方法を用いた送信装置の第7実施例を示すブロック図である。この送信装置が、図14Aに示す第6実施例の送信装置と異なる点は、パイロットシンボル挿入回路130の後に、乗算器141を配置した点である。乗算器141は、図19に示すような、パイロットシンボル挿入回路130の出力に、所定のパワー係数を乗算する。この場合、乗算器141は、重要なデータほど大きなパワー乗数をかける。たとえば、重要なパイロットシンボルと、その付近の制御データについては、最大のパワー係数を乗算する。

図21は、データの種類とパワー係数との関係を示す概念図である。各データには、空きデータを除き、種類別に予め定められたビット数が割り当てられている。空きデータの部分には、特定の符号が書き込まれ、他の部分と区別される。この空きデータの部分には、ゼロを乗算し送信は行わない。すなわち、空きデータを示す符号が読み出されると、パワー係数をゼロとして、送信しないようにしている。

図20においては、パワー係数の乗算器141を2次変調器109の前に挿入しているが、2次変調器109の後でもよい。

図 2 1 は、データの重要度に応じて送信電力を制御する様子を示す。このように送信電力を制御すると、重要なデータは、大きな送信電力で送信されるので、誤り率を低減できる。また、空きデータは、送信しないので、余分な送信パワーを用いなくて済む。この結果、他ユーザへ与える干渉が少なくなり、その分、与えられた周波数帯域で、より多くのユーザを収容できる。

実施例 8

各フレーム内のデータのビット数を示す伝送レート情報を相手に送信することなく、異なる伝送レートでデータを送受信する実施例は、すでに第 1 実施例で説明したが、伝送レート情報を受信側に送信しない他の実施例を、図 2 2 および図 2 3 を参照して説明する。

この実施例の送信装置は、図 2 0 に示した第 7 実施例の送信装置と同様である。この送信装置において、送信伝送レートが最大送信データより低いときには、送信側インタリブ回路 1 0 6 のフレームメモリに書き込まれた送信ビット系列は、図 2 2 のようになる。各フレーム内の送信データの最後に、誤り検出符号（検査符号）が付加されており、それ以降は空きデータである。

送信に際しては、フレームメモリ 1 0 6 B 内の送信データを、列毎に一定の速度で読み出し、それぞれを各スロットに順番にマッピングして送信する。図 2 2 において、送信データの存在しない白抜き部分は、各スロット内の空白部分に対応する。1 次変調器 1 0 8 は、この空白部分は、一次変調しない。この結果、可変ビット数の送信データが、一定のフレーム時間に、一定の伝送レートで送信されることになる。

図 2 3 は、こうして送信されたデータを受信するための受信装置の要部を示す。受信側では、デインタリブ回路 1 5 3 を設け、送信側でのインタリブ回路 1 0 6 と逆動作によって、1 フレーム内のデータを再現する。これは、第 1 実

施例と同様である。

1 フレームのデータは、デインタリーブ回路 106 の出力側に接続された誤り検出回路 144 に供給される。誤り検出回路 144 は、すでに説明したようにして、送信データの最終ビットを検出する。すなわち、誤り検出回路 144 は、フレーム内のデータを 1 ビットずつシフトしながら、予め定められたデータで順次割り算し、割り切れた時点で、誤り検出符号が受信されたと判断し、その時点で送信データに誤りなしと判定する。誤りなしと判定された時点で、それまで受信したデータを出力すると、それが送信した原データである。

このような送受信を行うと、各フレームのデータ数を表す伝送レート情報を、その都度送信する必要がない。さらに、フレーム毎に送信するデータ数（見かけ上の伝送レート）を変えても、受信側で正しく受信できることになる。これは、フレーム時間を一定としているため、送信データが送られてこないことがあっても、受信側でフレームが認識できるからである。

このようにすれば、伝送レート情報を受信側に送信しなくとも、フレーム毎に見かけ上の伝送レート（実際は、データビット数）が変化する可変レート伝送が可能となる。伝送レート情報を前もって送信しておかないタイプの従来の可変レート伝送では、伝送レートのとり得る値を、とびとびにあらかじめ決めておく必要があったため、限られた伝送レートしか取り扱えなかった。これに対して、この実施例では、どのようなレートの伝送も自由に行える。

ところで、伝送中に誤りがあると、間違った位置で誤りなしと検出してしまふことがある。このような場合、送信データの一部だけを有効データとして出力するか、または、送信データに無意味なランダムデータを付加して有効データとして出力してしまう。したがって、送信するデータ数の取りうる値を、とびとびの値に制限すると、誤り検出する位置が制限されるので、間違っデータて出力してしまう確率を減少できる。

実施例 9

この実施例は、第3実施例に対応するもので、短いデータを間欠的に送信する場合に生じるバースト伝送を回避するための実施例である。1送信系列で伝送できる最大レートの $1/K$ (K は所定の正の整数)以下の伝送レートの場合は、誤り訂正符号化した後、各ビットを K 回リピートして、送信フレームデータを作成する。繰返しの値 K は、受信側に最初に送信しておく。

図24は、この送信装置の構成を示す。本実施例が、図20に示す第7実施例の送信装置と異なる点は次の通りである。

(1) 誤り訂正符号化部105の出力側に、リピート回路121を挿入した点。

(2) パイロットシンボル挿入回路130の出力側に、送信パワー係数を乗算する乗算器141を設け、図20に示した第7実施例の場合と比較して、すなわちフレーム内のデータの各ビットを K 回リピートしない場合と比較して、送信電力を $1/K$ に制御する点。

この送信装置によって送信されたデータは、図9Bに示すものと同様の受信装置によって復調される。これによって、送信されたデータが再現される。

その後、デインターリーブ回路204で、送信時と逆に書き込み/読み出しを行い、スロット毎のデータをフレームのデータに戻す。そして、データ間引き回路205で、 K ビット繰返されていたデータを、繰返しのない元のデータとして再生する。

このようにして、ビット毎に K 回繰返して送信することで、バースト伝送を回避することができる。また、第8実施例を、この第9実施例と併用することができる。この場合、通信の最初に繰返しレートの K を送信しておく、フレーム毎に伝送レートが変化しても、受信側では誤り検出情報をもとに送信データを再

生することができる。これによって、極端なバースト伝送になることを避けることができる。

実施例 10

高速データ伝送時には、1 フレーム当たり $N \times M$ ビット以上のデータを送信する必要がある。この場合は、複数のチャネルを用いて、平行して送信することで、対処することができる。第 10 実施例は、このような高速データ伝送を行うためのものである。

図 26 は、本発明による可変レート伝送方法を用いた送信装置の第 10 実施例を示し、図 27 は、送信されるフレーム構成を示す。

図 26 および図 27 は、3 つのフレームを同時に送信する場合（3 系列）を示している。さらに高速のデータを送信する場合は、この系列の数を増やす必要がある。また、高速データ伝送のために用いられるチャネルの番号は、送信開始以前に受信側に通知されている。図 26 のインタリーブ回路 106 のフレームメモリの容量は、同時に送信される全系列のフレーム分の、少なくとも 2 倍は必要である。また、複数系列数分の読み出しが、同時にできる構成でなければならない。なお、位相制御回路 146b および 146c については、次の第 11 実施例で説明する。この第 10 実施例では、位相制御を行っていない場合を説明する。

図 26 において、インタリーブ回路 106 は、送信すべきデータをフレームメモリに順次高速で書き込み、複数の送信フレームを構成する。制御データは、各フレームの先頭に配置されているので、インタリーブ回路 106 のフレームメモリの a 系列のフレーム部分に書き込まれる。そして、フレームメモリの a 系列部分が一杯になると、フレームメモリ 106 の b 系列のフレーム部分に書き込まれる。フレームメモリの b 系列部分が一杯になると、フレームメモリの c 系列のフレーム部分に書き込まれる。これらのフレームメモリへの書き込みは高速で、通

常の伝送速度より速い（この説明の場合で、通常の3倍以上）。

このフレームメモリから複数平行して同時にフレームを読み出す速度は、通常の伝送速度で読み出される。これらのフレームメモリの各系列のフレームへの書き込み、読み出し方法は、第6実施例の場合と同様である。

各系列ごとのデータは、1次変調器108a-108cで1次変調された後、異なる拡散符号系列を用いて2次変調器109a-109cで拡散され、加算回路148で3系統合わせて送信される。

ここで、パイロットシンボルを挿入するのはa系列のみとし、受信側において、他の系列は、a系列のパイロットシンボルを用いて補償する。この様にすることにより、a系列のみパイロットシンボルを挿入すればよいことになる。ここでも、パワー係数は、第7実施例と同様に制御されている。

図27は、複数系列で同時に送信することによって高速送信する場合の、各送信系列のフレーム構成を示す。この図に示すように、複数の送信系列を用いても、制御データおよびパイロットシンボルは、1系列で伝送するだけである。他の系列では、パイロットシンボルや制御データに対応する部分は、送信していない。この結果、他ユーザへ与える干渉電力を減少できる。

複数の系列を用いて送信されてきたデータを受信するためには、送信側と同じ数の受信系列が必要である。受信側では、1系列で送られて来たパイロットシンボルを用いて、他の系列の受信信号の補償を行う。また、1系列で送られて来た制御データを用いて各系列の制御を行う。送信側のインタリーブ回路106に対応するデインタリーブ回路は、送信側と逆の書き込み／読み出しを行う。受信側のデインタリーブ回路のフレームメモリは、複数系列のデータを同時に書き込み、かつ書き込まれた複数系列のデータを、高速（この例では通常の3倍）で読み出せるものでなければならない。

実施例 11

高速データ伝送時には、第10実施例で説明したように、送信データを複数の送信系列に分割し、それぞれを1次変調した後、複数の拡散符号で広帯域信号へ拡散して送信する。2相変調で説明すると、各送信系列の1次変調後の位相は0（送信データが“1”）または π ラジアン（送信データが“0”）である。これを拡散符号系列で2相変調すると、拡散された信号もやはり0または π ラジアンの位相をとる。したがって、複数の拡散信号をそのまま合成すると、N系列では、振幅がN倍になる。このため、ピークパワーの高い送信パワーアンプが必要になる。

これを避けるため、図26に示す位相制御回路146bおよび146cによって、位相制御を行う。これについて、図28を用いて説明する。図28は、N系列同時に送信する場合について説明している。このとき、n番目の系列の1次または2次変調信号を、 $n\pi/N$ ラジアンだけ位相回転させる。このようにすると、 $N=2$ のときに合成振幅は1.4倍、 $N=4$ のときに合成振幅は2.6倍である。したがって、単純に合成するときと比較して、送信電力のピークを抑制できる。

図26の実施例は3系列なので、位相制御回路146bでは $\pi/3$ 、位相制御回路146cでは $2\pi/3$ だけ位相を回転させる。なお、図26では、位相制御回路146bおよび146cは、2次変調器109bおよび109cの前に、それぞれ挿入されている。しかしながら、これに限定されない。2次変調されたキャリアの位相をずらせばよいので、2次変調器109bおよび109cの後に、位相制御回路146bおよび146cを配してもよい。一方、受信側では、上記の各系列ごとの位相差を知っているため、その位相差を各系列ごとに位相制御回路で修正して、受信することが必要である。各系列の位相差を修正した後は、第10実施例と同様に、1系列で送られて来たパイロットシンボルを用いて、他の系列の補償を行うことができる。

請 求 の 範 囲

1. 一定時間長の各フレームに、可変長の送信データを取めて伝送することによって、平均的な伝送レートを変化させる可変レート伝送方法において、

送信側においては、

前記各フレーム毎に、前記送信データの誤り検出符号を算出する過程と、

前記各フレーム内の、前記送信データおよび前記誤り検出符号を、予め定めた一定の伝送レートで送信する過程と、

前記各フレーム内において、前記送信データおよび前記誤り検出符号が存在しない空白部分は、送信を停止する過程と、

受信側においては、

前記一定の伝送レートに基づいて、前記各フレームを受信する過程と、

前記各フレーム内の前記誤り検出符号を検出する過程と、

前記誤り検出符号の検出結果に基づいて、前記各フレーム内の前記可変長の送信データを復元する過程と

を具備することを特徴とする可変レート伝送方法。

2. 請求の範囲第1項に記載の可変レート伝送方法において、前記誤り検出符号を検出する過程は、受信した各フレーム内のデータを、1ビットずつシフトしながら、予め定められたデータで順次割り算し、剰余がゼロとなった時点で前記誤り検出符号が検出されたと判断することを特徴とする可変レート伝送方法。

3. 請求の範囲第2項に記載の可変レート伝送方法において、前記送信データを復元する過程は、前記誤り検出符号が検出された時点から、前記誤り検出符号のビット数だけ前の時点を、前記送信データの最終ビット位置と判定すること

を特徴とする可変レート伝送方法。

4. 請求の範囲第1項に記載の可変レート伝送方法において、

送信側においては、既知のパイロットシンボルを前記各フレームに周期的に挿入する過程と、前記送信データ中の重要データを、前記パイロットシンボルの近傍に配置する過程とを具備し、

受信側においては、前記パイロットシンボルを検出する過程と、検出した前記パイロットシンボルによって、受信した前記送信データおよび前記誤り検出符号を補償する過程と、受信した前記送信データを元の配置に戻す過程とを具備することを特徴とする可変レート伝送方法。

5. 請求の範囲第4項に記載の可変レート伝送方法において、前記重要データを前記パイロットシンボルの近傍に配置する過程は、

前記送信データを、N行×M列のメモリの先頭と末尾から、1行毎に交互に書き込む過程と、

書き込まれた前記送信データを、1列毎に順次読み出す過程と、

1列読み出す毎に、前記パイロットシンボルを挿入する過程と

を具備し、

前記重要データは、前記送信データの先頭部分に予め配置しておくことを特徴とする可変レート伝送方法。

6. 請求の範囲第4項に記載の可変レート伝送方法は、前記送信側において、前記送信データおよび前記誤り検出符号を1次変調する過程と、前記1次変調された信号を拡散系列符号で2次変調する過程とを具備する符号分割多元接続(CDMA)であることを特徴とする可変レート伝送方法。

7. 請求の範囲第6項に記載の変レート伝送方法において、前記パイロットシンボルおよび前記重要データの送信電力を大きくすることを特徴とする変レート伝送方法。

8. 請求の範囲第1項に記載の変レート伝送方法において、

送信側においては、

前記送信データおよび前記誤り検出符号の合計データ数が、1フレームで伝送できる最大データ数の $1/K$ (K は正の整数) 以下の場合、前記受信側に K 回りビートして送信することを知らせる過程と、

前記送信データおよび前記誤り検出符号を、ビット毎に K 回りビートしたフレームを生成する過程と、

生成した前記各フレームを、ビットをレビートしない場合と比較して、 $1/K$ の送信電力で送信する過程と

を具備し、

受信側においては、

前記送信側から知らされた値 K を用いて、受信した前記送信データおよび前記誤り検出符号から、データを間引いて元のデータを復元する過程

を具備することを特徴とする変レート伝送方法。

9. 請求の範囲第8項に記載の変レート伝送方法において、

送信側においては、既知のパイロットシンボルを前記各フレームに周期的に挿入する過程と、前記送信データ中の重要データを、前記パイロットシンボルの近傍に配置する過程とを具備し、

受信側においては、前記パイロットシンボルを検出する過程と、検出した前

記パイロットシンボルによって、受信した前記送信データおよび前記誤り検出符号を補償する過程と、受信した前記送信データを元の配置に戻す過程とを具備することを特徴とする可変レート伝送方法。

10、請求の範囲第1項に記載の可変レート伝送方法において、

前記送信側においては、

前記送信データを複数チャネルの各フレームに分割して割り当てる過程と、

既知のパイロットシンボルを前記複数チャネルの1つのチャネルの各フレームに周期的に挿入する過程と、

前記送信データ中の重要データを、前記パイロットシンボルの近傍に配置する過程と、

前記複数の各チャネルに割り当てられた別々の拡散系列符号を用いて、前記送信データを同時に拡散し、前記各チャネルを通して送信する過程と

を具備し、

前記受信側においては、

前記複数のチャネルを同時に受信する過程と、

前記1つのチャネルのパイロットシンボルを検出する過程と、

検出されたパイロットシンボルを用いて、前記複数のチャネルの各受信信号を補償する過程と、

受信した前記送信データを元の配置に戻す過程と

を具備することを特徴とする可変レート伝送方法。

11、請求の範囲第10項に記載の可変レート伝送方法において、送信側で複数チャネルを同時に送信する際、前記チャネルの各キャリアの位相をずらして、送信することを特徴とする可変レート伝送方法。

12. 請求の範囲第1項～第7項、第9項または第11項のいずれかの項に記載の変レート伝送方法において、前記重要データは、制御データであることとを特徴とする変レート伝送方法。

13. 請求の範囲第1項に記載の変レート伝送方法において、送信側においては、前記誤り検出符号を前記各フレーム内の固定された位置に配置する過程を具備し、受信側においては、前記各フレームの固定された位置にある前記誤り検出符号を分離する過程と、該誤り検出符号に基づいて、前記送信データのビット数を得る過程とを具備することを特徴とする変レート伝送方法。

14. 請求の範囲第13項に記載の変レート伝送方法は、送信側において、前記各フレーム内の前記送信データおよび前記誤り検出符号を1次変調する過程と、前記1次変調されたフレーム内データを拡散符号系列で2次変調して伝送する過程とを具備するCDMAデータ伝送方法であることを特徴とする変レート伝送方法。

15. 請求の範囲第14項に記載の変レート伝送方法において、送信側においては、前記1次変調する前の前記送信データを、誤り訂正符号化およびインタリーブする過程を具備し、受信側においては、受信された前記送信データを1次復調する過程と、1次復調された前記送信データをデインタリーブおよび誤り訂正復号化する過程とを具備することを特徴とする変レート伝送方法。

16. 請求の範囲第13項に記載の変レート伝送方法において、送信側においては、

- 50 -

前記各フレーム内の、前記送信データおよび前記誤り検出符号の合計のデータ長が、前記各フレームで伝送できる最大ビット数の $1/K$ (K は正の整数) 以下の場合は、前記送信データおよび前記誤り検出符号の各ビットを K 回リピートする過程と、

前記各フレームの送信電力を、前記ビットのレピートをしない場合と比べ $1/K$ とする過程と

を具備し、

受信側においては、

受信された前記送信データおよび前記誤り検出符号に対して、 K ビットの区間積分を行う過程と、

積分されたデータを、 K ビット毎に間引き処理して、前記送信データを復元する過程と

を具備することを特徴とする可変レート伝送方法。

17. 請求の範囲第1項に記載の可変レート伝送方法において、

送信側においては、

前記各フレーム内のデータのビット数を表す伝送レート情報および前記誤り検出符号を、前記フレーム内の固定された位置に付加する過程を具備し、

受信側においては、

受信された前記各フレーム毎に、前記伝送レート情報に基づいて、前記送信データの最終ビット位置を求める過程と、

前記最終ビット位置までの前記送信データに対して誤り検出符号を算出する過程と、

前記算出された誤り検出符号を、受信された前記誤り検出符号と比較する過程と、

- 51 -

比較結果が一致した場合に、前記最終ビット位置までの前記送信データが正しいデータであると判定する過程と

を具備することを特徴とする可変レート伝送方法。

18. 請求の範囲第17項に記載の可変レート伝送方法は、送信側において、前記各フレーム内の前記送信データおよび前記誤り検出符号を1次変調する過程と、前記1次変調されたフレーム内データを拡散符号系列で2次変調して伝送する過程とを具備するCDMAデータ伝送方法であることを特徴とする可変レート伝送方法。

19. 請求の範囲第18項に記載の可変レート伝送方法において、送信側においては、

前記1次変調前の、前記各フレーム内の前記送信データ、前記伝送レート情報および前記誤り検出符号を、誤り訂正符号化する過程と、

誤り訂正符号化された前記各フレーム内のデータをインタリーブした後、1次変調する過程に供給する過程と

を具備し、

受信側においては、

受信された前記各フレーム内のデータを、拡散符号系列を用いて逆拡散する過程と、

逆拡散された信号を1次復調する過程と、

1次復調後の前記伝送データをデインタリーブする過程と、

前記伝送レート情報および前記誤り検出符号を誤り訂正復号化する過程と、

前記誤り訂正復号化の結果に基づいて、前記送信データを最終ビットまで誤り訂正復号化する過程と

を具備することを特徴とする可変レート伝送方法。

20. 請求の範囲第17項に記載の可変レート伝送方法において、送信側においては、現在のフレーム内の前記伝送レート情報を、直前のフレーム内の固定された位置に付加する過程を具備し、受信側においては、直前のフレームにおいて受信された前記伝送レート情報を抽出する過程と、抽出された前記伝送レート情報に基づいて、現在のフレーム内のデータの最終ビット位置を判定する過程とを具備することを特徴とする可変レート伝送方法。

21. 請求の範囲第20項に記載の可変レート伝送方法において、

送信側においては、

前記各フレーム内の各データを誤り訂正符号化する過程と、

前記各フレームをインタリーブする過程と、

インタリーブされた前記各フレームを1次変調する過程と、

1次変調した前記各フレーム内の伝送データを、拡散符号系列によって拡散する2次変調を行う過程と

を具備し、

受信側においては、

受信された前記伝送データを1次復調する過程と、

1次復調後の前記伝送データをデインタリーブする過程と、

前記直前のフレームで送信された前記伝送レート情報、および現フレーム内の前記誤り検出符号を誤り訂正復号化する過程と、

前記誤り訂正復号化の結果に基づいて、前記送信データを最終ビットまで誤り訂正復号化する過程と

を具備することを特徴とする可変レート伝送方法。

22. 請求の範囲第17～21項のいずれかの項に記載の変レート伝送方法において、前記送信データのビット数が、前記各フレームで伝送できる最大のビット数の $1/K$ (K は正の整数) 以下の場合は、

送信側においては、

前記送信データの各ビットを K 回反復する過程と、

K 回反復しない場合と比べて $1/K$ の電力で前記各フレームを送信する過程と

を具備し、

受信側においては、

受信された前記各フレーム内のデータを、 K ビットの区間積分する過程と、

前記積分されたデータを、 K ビット毎に間引き処理し、前記送信データを復元する過程と

を具備することを特徴とする変レート伝送方法。

23. 一定時間長の各フレームに、可変長の送信データを収めて送信することによって、平均的な伝送レートを変化させる送信装置において、

前記各フレーム毎に、前記送信データの誤り検出符号を算出する手段と、

前記各フレーム内の、前記送信データおよび前記誤り検出符号を、予め定められた一定の伝送レートで送信するとともに、前記各フレーム内において、前記送信データおよび前記誤り検出符号が存在しない空白部分は、送信を停止する送信手段と

を具備することを特徴とする送信装置。

24. 請求の範囲第23項に記載の送信装置において、

既知のパイロットシンボルを前記各フレームに周期的に挿入するパイロットシンボル挿入手段と、

前記送信データを記憶するメモリと、

前記メモリに記憶された送信データの中の重要データを、前記パイロットシンボルの近傍に配置するデータ再配置手段と

を具備することを特徴とする送信装置。

25. 請求の範囲第24項に記載の送信装置において、前記データ再配置手段は、前記パイロットシンボルで挟まれるスロットのビット数を N 、前記各フレームに含まれるスロット数を M とした場合、 M ビット長の行単位で前記メモリに前記送信データを書き込み、書き込まれた前記送信データを N ビット長の列単位で前記メモリから読み出すことで、前記重要データを前記パイロットシンボルの近傍に配置することを特徴とする送信装置。

26. 請求の範囲第25項に記載の送信装置において、前記データ再配置手段は、前記メモリに書き込む際、前記重要データの書き込みを、前記メモリの先頭と末尾から、1行毎に交互に行うことを特徴とする送信装置。

27. 請求の範囲第24～26項のいずれかの項に記載の送信装置において、前記送信データを含む各フレーム内のデータを変調する1次変調器と、

1次変調された前記各フレームのデータを、拡散系列符号を用いて拡散する2次変調を行う2次変調器とを具備し、

前記パイロットシンボル挿入手段は、前記1次変調器と前記2次変調器の間に接続され、前記パイロットシンボルを前記スロット間に周期的に挿入することを特徴とする送信装置。

28. 請求の範囲第26項に記載の送信装置において、前記パイロットシンボル挿入手段の後に、送信電力制御手段を挿入し、前記各フレーム内のデータの重要度に応じて送信電力を制御することを特徴とする送信装置。

29. 請求の範囲第28項に記載の送信装置において、前記送信データのビット数が前記各フレームの最大ビット数に満たない場合は、その空白部分に予め定めた特定の符号を書き込み、前記送信電力制御手段で、前記空白部分の送信電力をゼロとすることを特徴とする送信装置。

30. 請求の範囲第29項に記載の送信装置において、前記送信データおよび前記誤り検出符号を、ビット毎にK回リビートするリビート回路を、前記メモリの前段に配し、前記送信電力制御手段は、前記各フレームの送信電力を、前記K回レビートしない場合と比較して、 $1/K$ にすることを特徴とする送信装置。

31. 請求の範囲第23項に記載の送信装置において、

既知のパイロットシンボルを、前記各フレームに周期的に挿入するパイロットシンボル挿入手段と、

前記送信データを記憶するメモリであって、複数系列の送信データを同時に読み出すことができるメモリと、

前記メモリに書き込まれた前記送信データの中の重要データが、前記パイロットシンボルの近傍に位置するように配置変えて、前記メモリに書き込むデータ再配置手段と、

前記メモリから読み取った複数系列の送信データを、それぞれ1次変調する複数の1次変調器と、

- 56 -

前記各1次変調器から出力された前記各フレームの送信電力を制御する複数の送信電力制御手段と、

前記各送信電力制御手段から出力された前記各フレーム内のデータを、異なる拡散符号を用いて拡散する複数の2次変調器と、

2次変調された複数の信号を合成する加算回路とを具備し、

前記データ再配置手段は、前記送信データを分割して前記メモリに書き込み、かつ前記分割された複数の送信データ系列を前記メモリから同時に読み出して、前記複数の1次変調器に供給し、前記パイロットシンボル挿入手段は、前記複数の1次変調器のいずれか1つの1次変調器の後に接続され、前記各フレームのスロット間に、前記パイロットシンボルを周期的に挿入し、前記送信電力制御手段は、前記重要データの送信時には、送信電力を増加することを特徴とする送信装置。

32. 請求の範囲第31項に記載の送信装置において、前記複数の1次変調器の後に挿入され、前記2次変調器のキャリアの位相をずらす複数の位相制御回路を具備することを特徴とする送信装置。

33. 請求の範囲第23項に記載の送信装置において、前記誤り検出符号をフレーム内の固定された位置に付加する手段を具備することを特徴する送信装置。

34. 請求の範囲第33項に記載の送信装置において、
前記各フレーム内のデータを誤り訂正符号化する手段と、
誤り訂正符号化されたデータをインタリーブする手段と、
インタリーブされたデータを1次変調する手段と、

1 次変調されたデータを、拡散符号系列を用いて 2 次変調する手段とを具備することを特徴とする送信装置。

3 5. 請求の範囲第 3 3 項または第 3 4 項に記載の送信装置において、前記各フレーム内のデータが、1 フレームで伝送できる最大のビット数の $1/K$ (K は正の整数) 以下の場合に、前記各フレーム内のデータの各ビットを K 回りビットする手段と、

前記各フレームの送信電力を、 K 回レPEATしないときと比べ、 $1/K$ にする送信電力制御手段とを具備することを特徴とする送信装置。

3 6. 請求の範囲第 2 3 項に記載の送信装置において、前記各フレーム内のデータの合計ビット数を示す伝送レート情報、および前記誤り検出符号を、前記フレーム内の固定された位置に付加する付加手段を具備することを特徴とする送信装置。

3 7. 請求の範囲第 3 6 項に記載の送信装置において、前記各フレーム内の送信データ、前記伝送レート情報、および前記誤り検出符号を誤り訂正符号化する手段と、

誤り訂正符号化されたデータをインタリーブする手段と、
前記インタリーブ後のデータを 1 次変調する 1 次変調手段と、
前記 1 次変調後のデータを、拡散符号系列を用いて拡散する 2 次変調手段とを具備することを特徴とする送信装置。

3 8. 請求の範囲第 3 6 項に記載の送信装置において、現在のフレーム内の

データの前記伝送レート情報を、直前のフレーム内の固定された位置に付加する手段を具備することを特徴とする送信装置。

39. 請求の範囲第38項に記載の送信装置において、

前記各フレーム内の送信データ、前記伝送レート情報、および前記誤り検出符号を誤り訂正符号化する手段と、

誤り訂正符号化されたデータをインタリーブする手段と、

前記インタリーブ後のデータを1次変調する1次変調手段と、

前記1次変調後のデータを、拡散符号系列を用いて拡散する2次変調手段とを具備することを特徴とする送信装置。

40. 請求の範囲第36-39項のいずれかの項に記載の送信装置において、

前記各フレーム内のデータが、1フレームで伝送できる最大のビット数の $1/K$ (K は正の整数) 以下の場合に、前記各フレーム内のデータの各ビットを K 回リビートする手段と、

前記各フレームの送信電力を、 K 回リビートしないとときと比べ、 $1/K$ にする送信電力制御手段と

を具備することを特徴とする送信装置。

41. 送信データおよび誤り検出符号を含むフレームを、一定の伝送レートに基づいて受信する手段と、

前記各フレーム内の前記誤り検出符号を検出する手段と、

前記誤り検出符号の検出結果に基づいて、前記各フレーム内の前記可変長の送信データを復元する手段と

を具備することを特徴とする受信装置。

4 2. 請求の範囲第 4 1 項に記載の受信装置において、前記誤り検出符号を検出する手段は、前記各フレーム内のデータを 1 ビットずつシフトして、予め定めた値で順次割り算し、剰余がゼロとなったときに前記誤り検出符号を検出したと判定することを特徴とする受信装置。

4 3. 請求の範囲第 4 1 項に記載の受信装置において、
前記各フレームに挿入されて、周期的に伝送されてくる既知のパイロットシンボルを検出する手段と、
前記各フレーム内のデータを記憶するメモリと、
重要データが前記パイロットシンボルの近傍に配置された、前記各フレーム内のデータを受信する場合に、前記メモリに書き込まれたデータを並び替えて、元のデータ配置に戻すデータ再配置手段と
を具備することを特徴とする受信装置。

4 4. 請求の範囲第 4 3 項に記載の受信装置において、前記データ再配置手段は、前記パイロットシンボルで挟まれるスロットのビット数を N 、前記各フレームに含まれるスロット数を M とした場合、 N ビット長の列単位で前記メモリに前記各フレーム内のデータを書き込み、書き込まれた前記データを M ビット長の行単位で前記メモリから読み出すことで、前記各フレーム内のデータを元の配置に戻すことを特徴とする受信装置。

4 5. 請求の範囲第 4 4 項に記載の受信装置において、前記データ再配置手段は、前記メモリからの読み出しを、前記メモリの先頭と末尾から、1 行毎に交互に行うことを特徴とする送信装置。

4 6. 請求の範囲第 4 3 - 4 5 項のいずれかの項に記載の受信装置において、
拡散系列符号を用いて、受信データを逆拡散する 2 次復調器と、
前記パイロットシンボルを用いて、前記各フレーム内のデータを補償する補償回路と、
前記補償回路によって補償された前記データを復調する 1 次復調器と
を具備することを特徴とする受信装置。

4 7. 請求の範囲第 4 6 項に記載の受信装置において、
受信された前記各フレーム内のデータを、K ビットの区間積分する手段と、
前記積分されたデータを、K ビット毎に間引き処理し、前記送信データを復元する手段と
を具備することを特徴とする受信装置。

4 8. 請求の範囲第 4 1 項に記載の受信装置において、
複数のチャネルを通して同時に送られてきた複数系列のフレームを、それぞれ逆拡散する複数の 2 次復調器と、
前記複数のチャネルの内の 1 つのチャネルを通して送られてきたフレームに、周期的に挿入されたパイロットシンボルを用いて、前記複数系列のフレーム内のデータを補償する補償回路と、
補償されたデータを復調する複数の 1 次復調器と、
前記複数系列のデータを同時に書き込むことのできるメモリと、
前記複数系列のデータをフレーム別に前記メモリに同時に書き込み、書き込みと異なる順序で読み出すことによって、前記パイロットシンボルの近傍に配置されている重要データを元のデータ配置に戻すデータ再配置手段とを具備するこ

とを特徴とする受信装置。

49. 請求の範囲第48項に記載の受信装置において、前記各チャネルに設けられ、前記複数系列のデータの各位相を修正する位相制御回路を具備することを特徴とする受信装置。

50. 請求の範囲第41項に記載の受信装置において、
受信した拡散信号を逆拡散して、逆拡散信号を出力する2次復調器と、
逆拡散信号から前記各フレーム内のデータを復元する1次復調器と、
前記各フレーム内の固定された位置にある前記誤り検出符号を格納する誤り
検出符号メモリと、
前記各フレーム内のデータから誤り検出符号を算出する手段と、
前記算出した誤り検出符号を、前記誤り検出符号メモリに格納された誤り検
出符号と比較する比較手段と
を具備し、
前記比較結果に基づいて、前記各フレーム内のデータのビット数を得ること
によって、フレーム毎に可変ビット数のデータを受信することを特徴とする受信
装置。

51. 請求の範囲第50項に記載の受信装置において、
前記1次復調器から出力されたデータをデインタリーブする手段と、
前記デインタリーブされたデータを誤り訂正復号化する手段と
を具備することを特徴とする受信装置。

52. 請求の範囲第50項または第51項に記載の受信装置において、

受信された前記各フレーム内のデータを、Kビットの区間積分する手段と、
前記積分されたデータを、Kビット毎に間引き処理し、前記送信データを復元する手段と
を具備することを特徴とする受信装置。

5 3. 請求の範囲第 4 1 項に記載の受信装置において、

受信された各フレームの固定された位置に配置され、該フレーム内の送信データのビット数を示す伝送レート情報に基づいて、前記送信データの最終ビット位置を判定する手段と、

前記送信データの誤り検出符号を、前記最終ビットまで算出する手段と、
前記算出された誤り検出符号を、前記フレーム内のデータとして送られてきた誤り検出符号と比較する手段と、

比較結果が一致した場合に、前記最終ビット位置までのデータが、前記フレーム内の送信データであると判定する手段と
を具備したことを特徴とする受信装置。

5 4. 請求の範囲第 5 3 項に記載の受信装置において、

受信した拡散信号を逆拡散して、逆拡散信号を出力する 2 次復調器と、
前記逆拡散信号から前記各フレーム内のデータを復元する 1 次復調器と、
前記 1 次復調器から出力されたデータをデインタリーブする手段と、
前記デインタリーブ手段から出力された前記伝送レート情報および前記誤り検出符号を誤り訂正復号化する手段と、

前記訂正復号化の結果に基づいて、前記送信データを前記最終ビットまで誤り訂正復号化する手段と
を具備することを特徴とする受信装置。

55. 請求の範囲第53項に記載の受信装置において、前記最終ビット位置を判定する手段は、直前のフレームにおいて受信された前記伝送レート情報に基づいて、現在のフレームの送信データの最終ビット位置を判定することを特徴とする受信装置。

56. 請求の範囲第55項に記載の受信装置において、
受信した拡散信号を逆拡散して、逆拡散信号を出力する2次復調器と、
前記逆拡散信号から前記各フレーム内のデータを復元する1次復調器と、
前記1次復調器から出力されたデータをデインタリーブする手段と、
前記デインタリーブ手段から出力されたデータの中の、前記伝送レート情報および前記誤り検出符号を誤り訂正復号化する手段と、
直前のフレームにおいて受信された前記伝送レート情報の、誤り訂正復号化の結果に基づいて、前記送信データを前記最終ビットまで誤り訂正復号化する手段と
を具備することを特徴とする受信装置。

57. 請求の範囲第53項～第56項のいずれかの項に記載の受信装置において、前記フレーム内のデータのビット数が、1フレームで伝送できる最大ビット数の $1/K$ (K は正の整数) 以下の場合に、
受信された前記各フレーム内のデータを、 K ビットの区間積分する手段と、
前記積分されたデータを、 K ビット毎に間引き処理し、前記送信データを復元する手段と
を具備することを特徴とする受信装置。

58. 送信側においては、既知のパイロットシンボルを各フレームに周期的に挿入する過程と、送信データ中の重要データを、前記パイロットシンボルの近傍に配置する過程とを具備し、

受信側においては、前記パイロットシンボルを検出する過程と、検出した前記パイロットシンボルによって、受信した前記送信データおよび誤り検出符号を補償する過程と、受信した前記送信データを元の配置に戻す過程とを具備することを特徴とする可変レート伝送方法。

59. 請求の範囲第58項に記載の可変レート伝送方法において、前記重要データを前記パイロットシンボルの近傍に配置する過程は、

前記送信データを、 N 行 \times M 列のメモリの先頭と末尾から、1行毎に交互に書き込む過程と、

書き込まれた前記送信データを、1列毎に順次読み出す過程と、

1列読み出す毎に、前記パイロットシンボルを挿入する過程とを具備し、

前記重要データは、前記送信データの先頭部分に予め配置しておくことを特徴とする可変レート伝送方法。

60. 請求の範囲第58項に記載の可変レート伝送方法は、前記送信側において、前記送信データおよび前記誤り検出符号を1次変調する過程と、前記1次変調された信号を拡散系列符号で2次変調する過程とを具備する符号分割多元接続(CDMA)であることを特徴とする可変レート伝送方法。

61. 請求の範囲第60項に記載の可変レート伝送方法において、前記パイロットシンボルおよび前記重要データの送信電力を大きくすることを特徴とする

- 65 -

可変レート伝送方法。

1/34

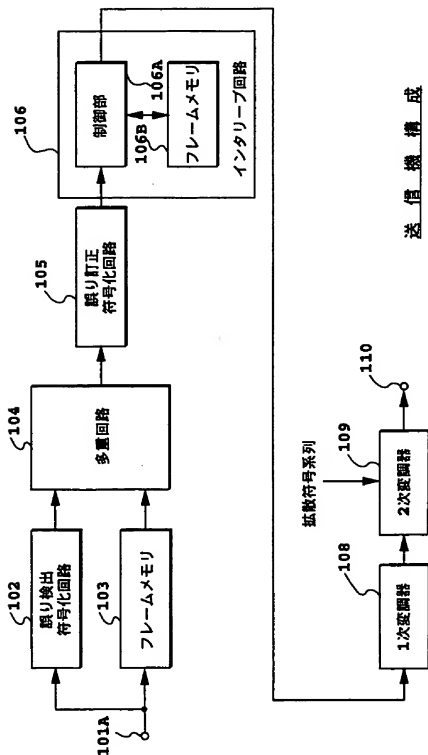
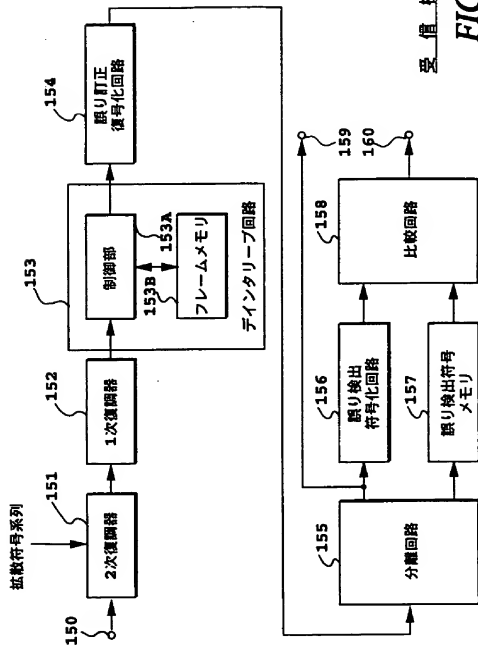


FIG. 1A



受信機構成

FIG. 1B

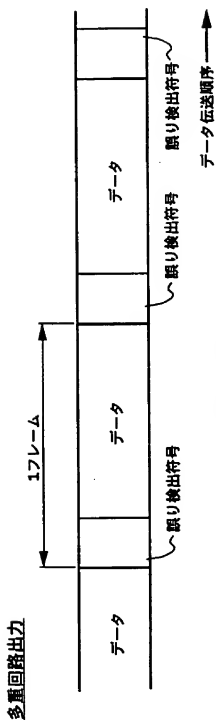


FIG. 2A

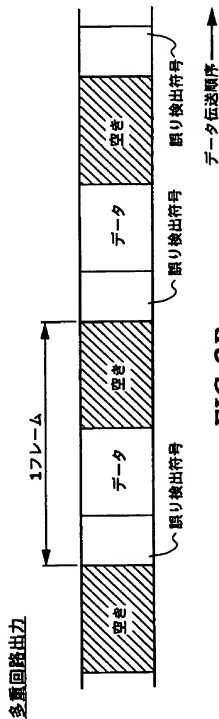


FIG. 2B

4/34

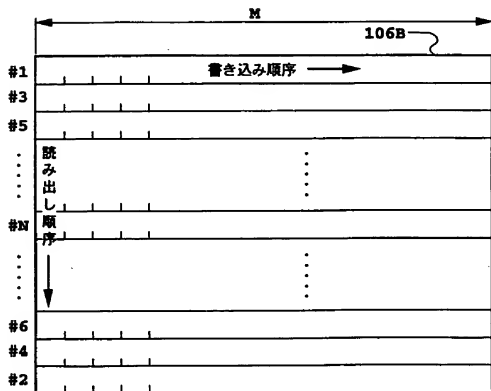


FIG.3

5/34

フレームメモリ106Bの出力

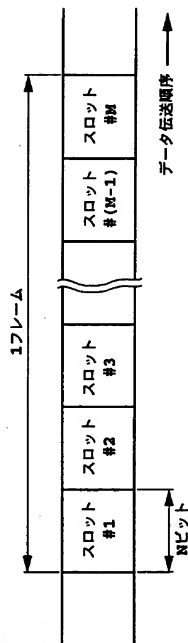


FIG. 4

6/34

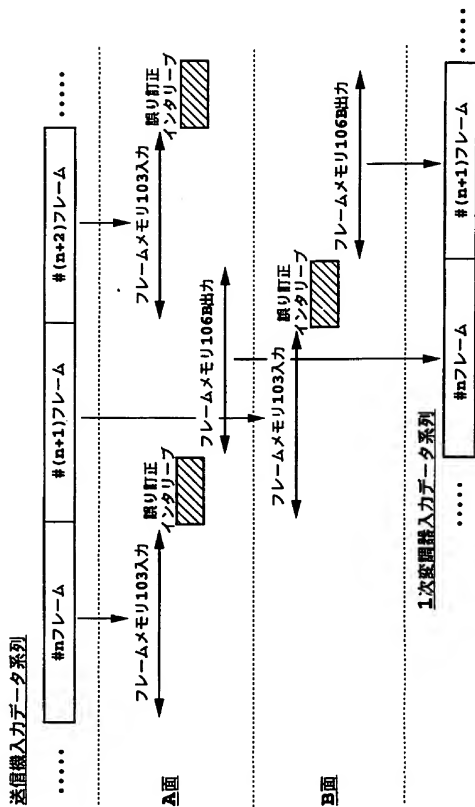
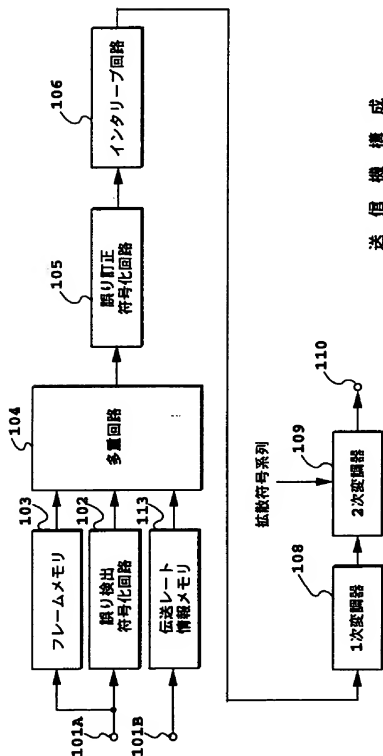


FIG.5

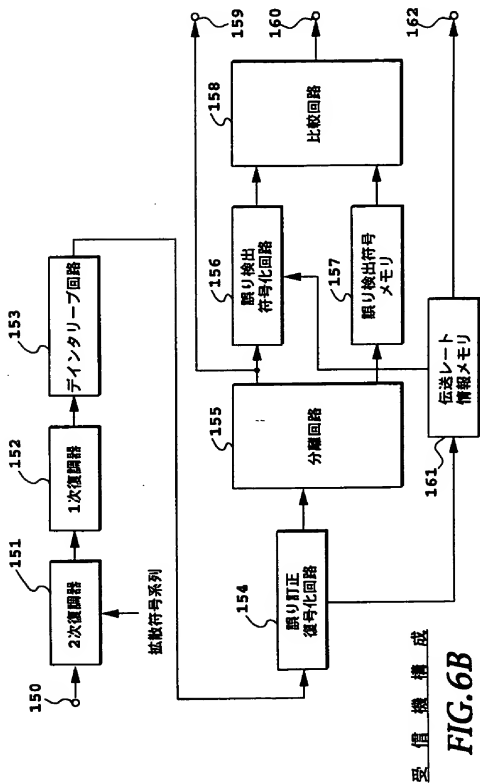
7/34



送信機構成

FIG. 6A

8/34



受信機構成

FIG. 6B

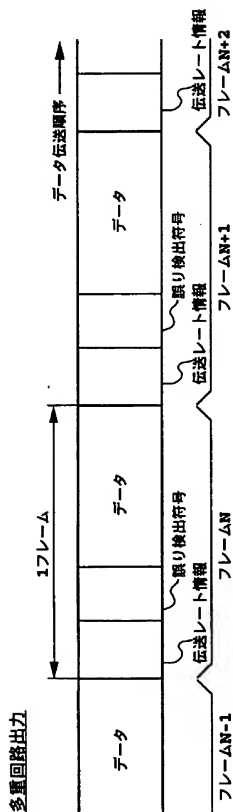


FIG. 7A

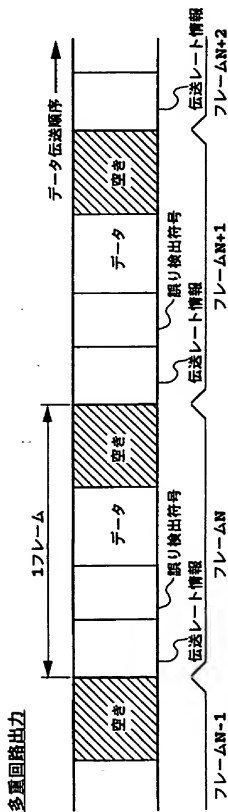


FIG. 7B

10/34

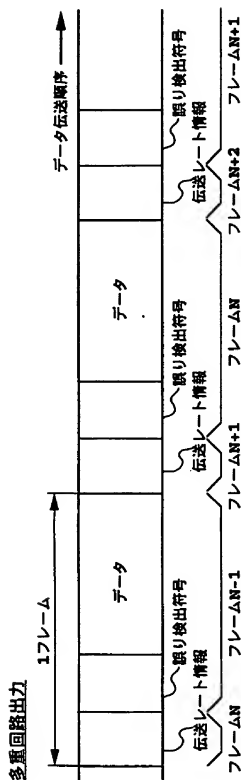


FIG. 8A

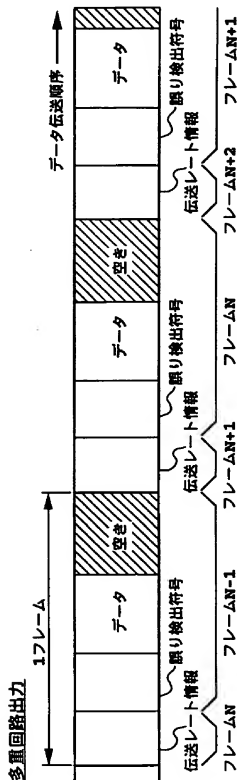
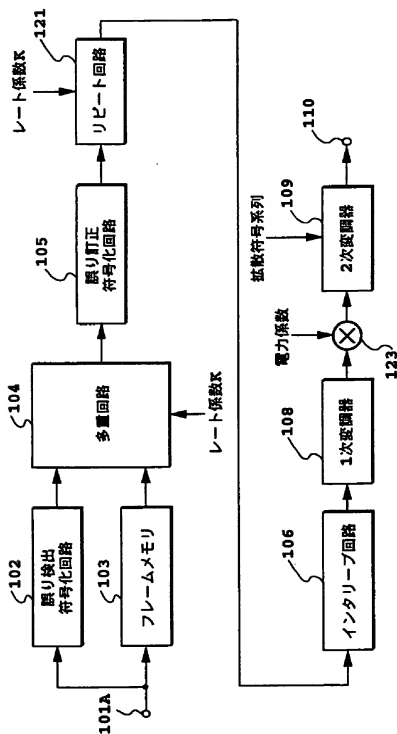


FIG. 8B

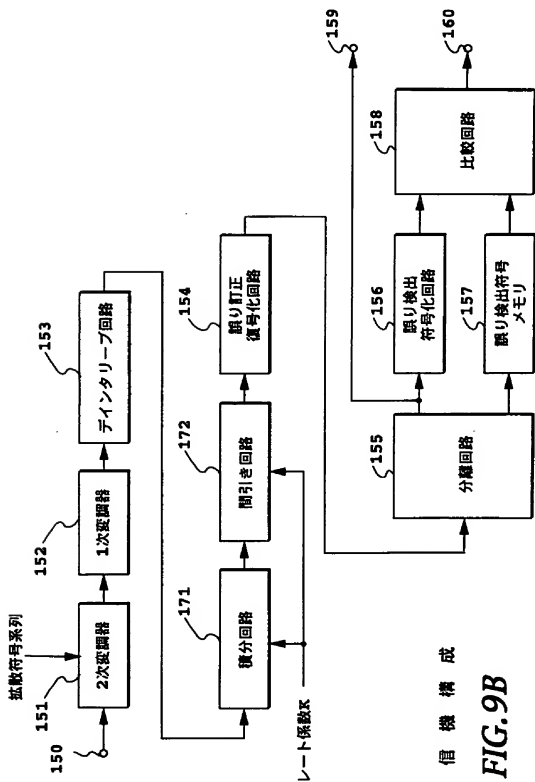
11/34



送信機構成

FIG. 9A

12/34



受信機構成

FIG. 9B

13/34

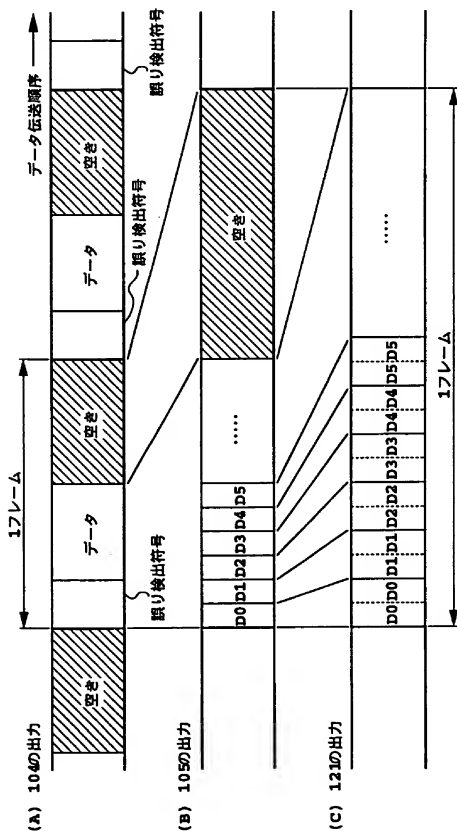


FIG.10

14/34

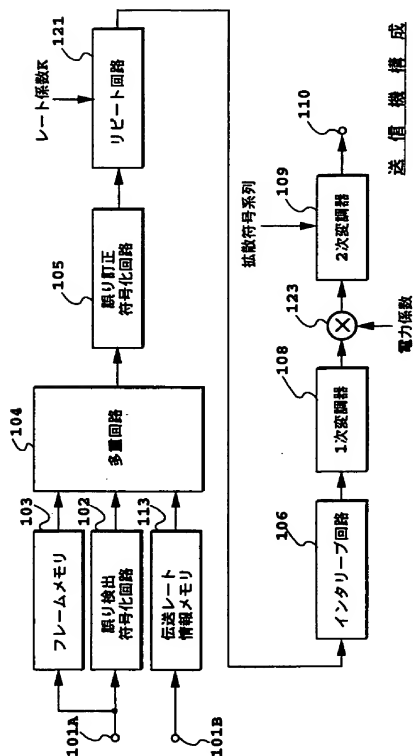
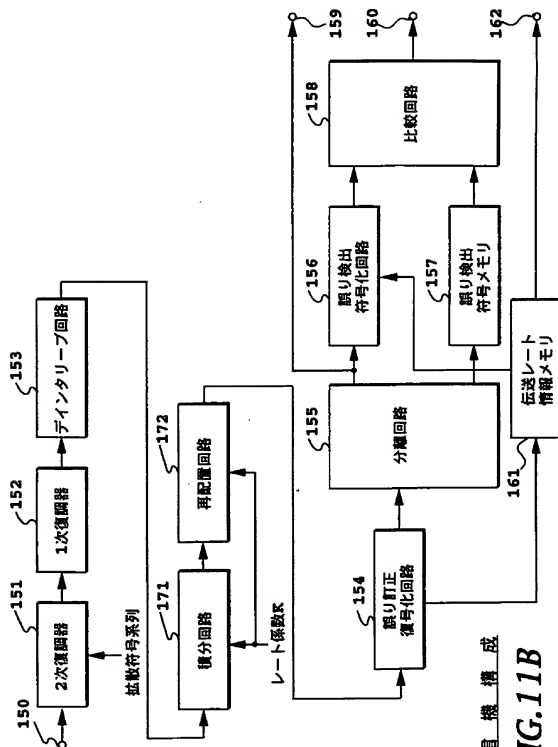


FIG. 11A

15/34



成德信收

16/34

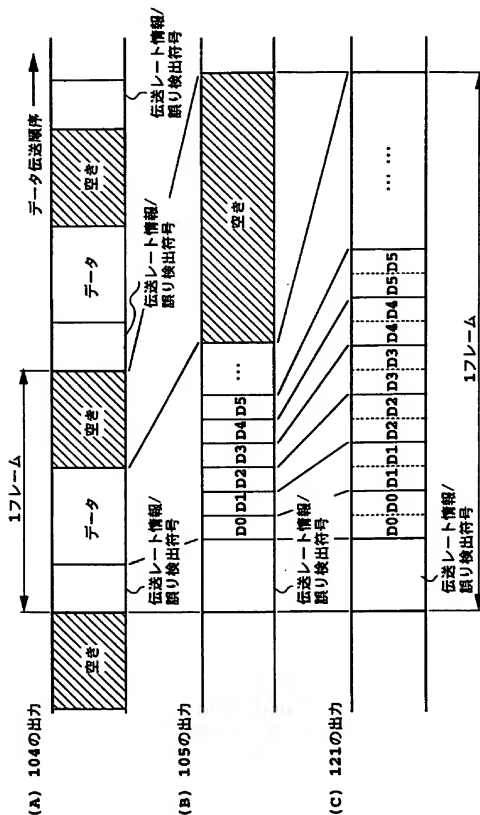


FIG.12

17/34

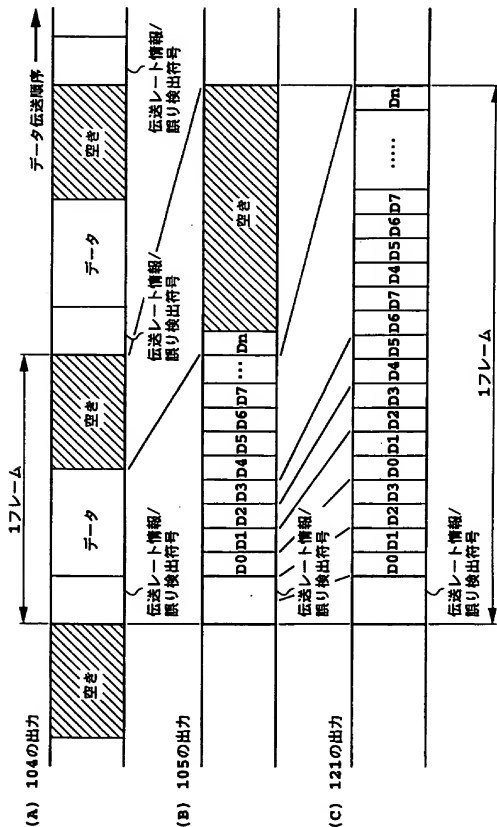


FIG.13

18/34

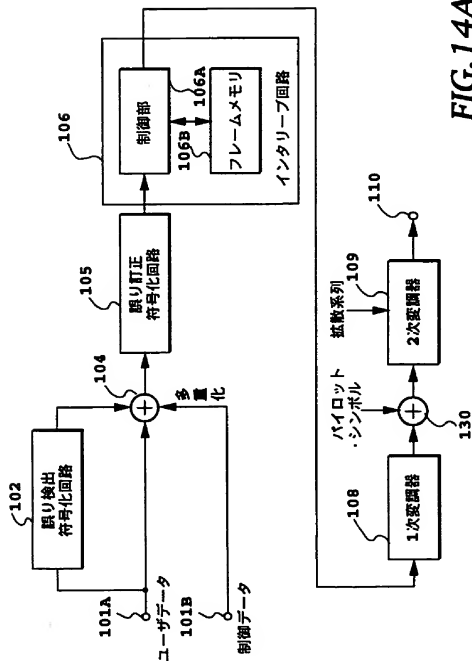


FIG. 14A

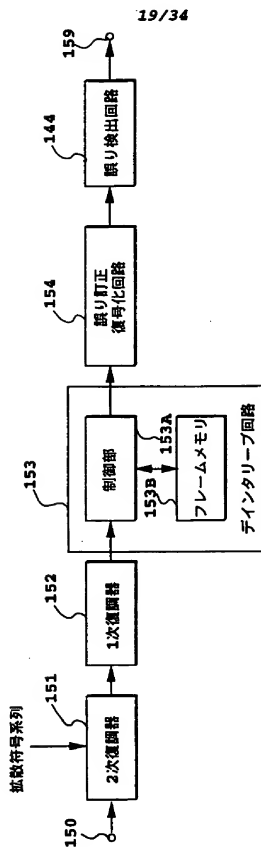


FIG. 14B

20/34

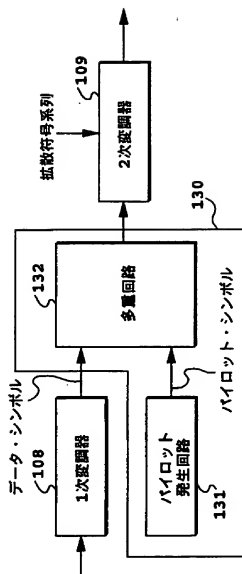


FIG.15A

21/34

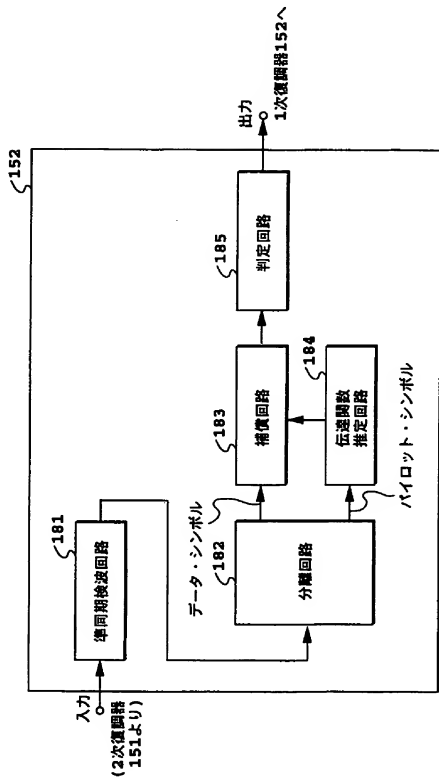


FIG.15B

22/34

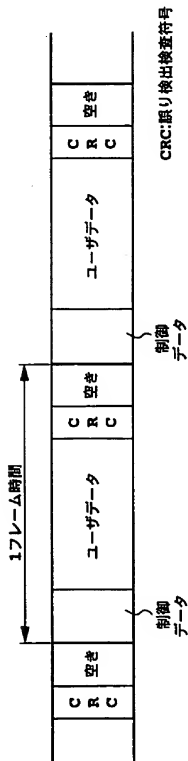
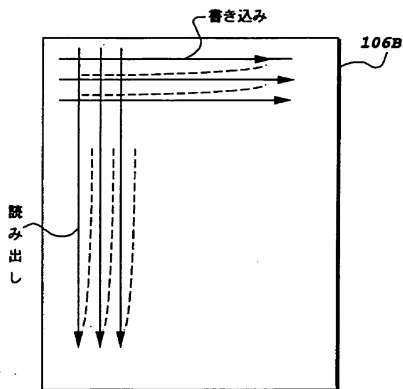


FIG.16

23/34

**FIG.17**

24/34

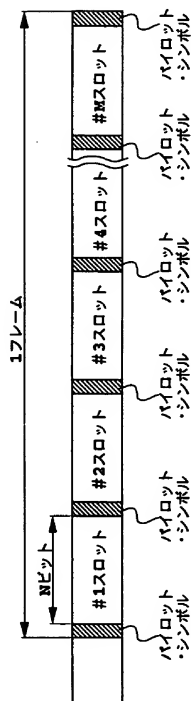
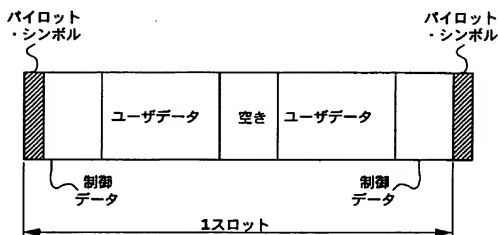


FIG. 18

25/34

**FIG.19**

26/34

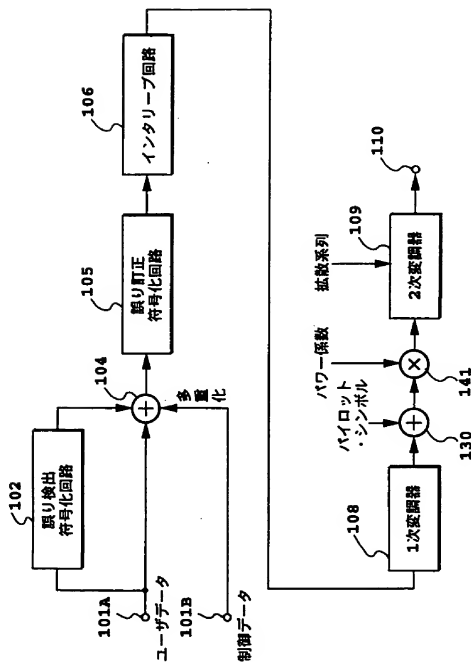


FIG. 20

27/34

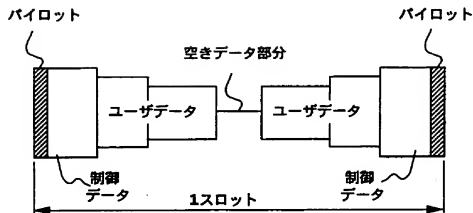


FIG.21

28/34

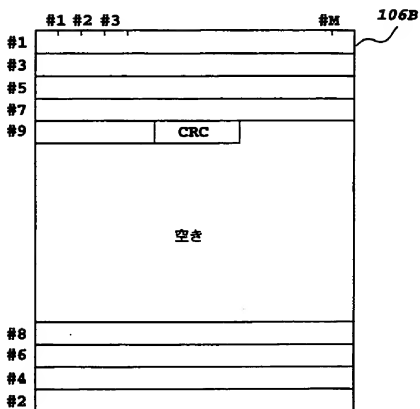


FIG.22

29/34

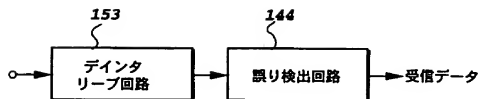


FIG.23

30/34

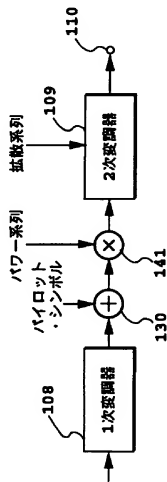
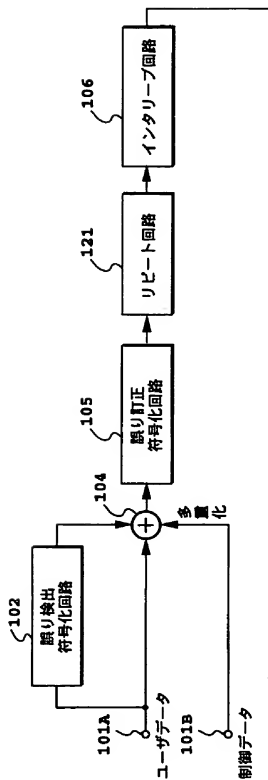


FIG.24

31/34

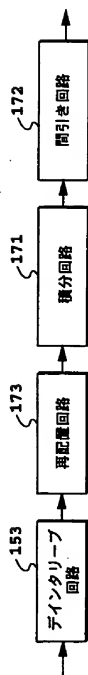


FIG.25

32/34

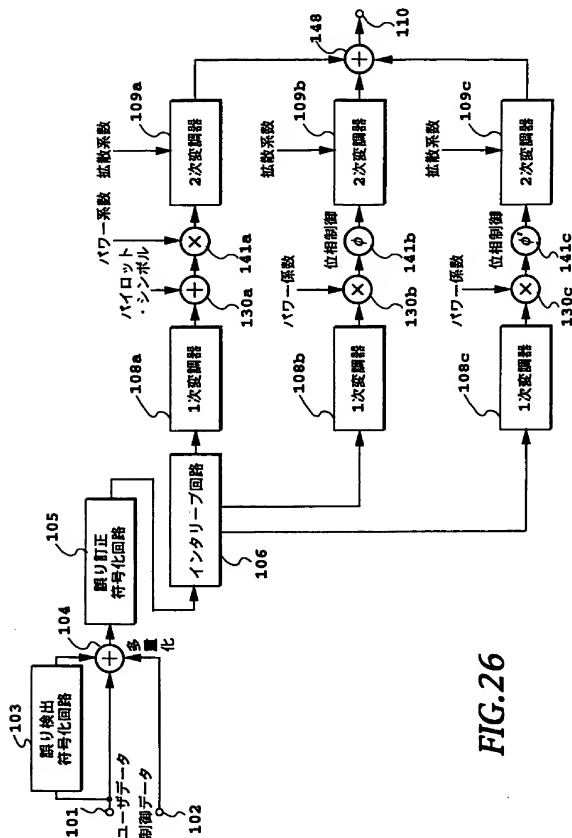


FIG. 26

33/34

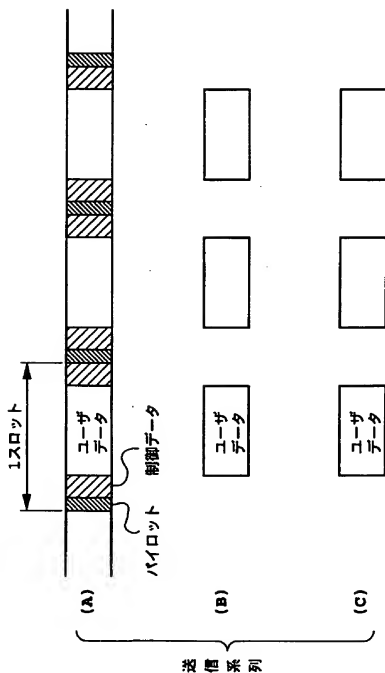
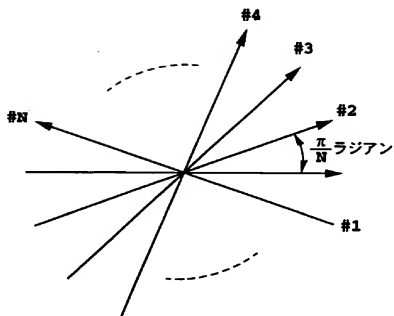


FIG.27

34/34

**FIG.28**

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/00419

A. CLASSIFICATION OF SUBJECT MATTER

Int. C16 H04J13/04, H04L12/56, H04L1/00, H04J3/00, H04J3/22

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. C16 H04J13/04, H04L12/56, H04L1/00, H04J3/00, H04J3/22,
H04L29/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1996
Kokai Jitsuyo Shinan Koho 1971 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| X | JP, 03-250935, A (Victor Co. of Japan, Ltd.), November 8, 1991 (08. 11. 91), Figs. 1, 2 | 41 |
| Y | | 53 - 56 |
| A | | 1-40, 42-52, 57-61 |
| Y | JP, 03-261255, A (Casio Computer Co., Ltd.), November 21, 1991 (21. 11. 91), Fig. 2 | 54 - 56 |
| A | | 20, 38 |
| Y | JP, 05-48577, A (Matsushita Electric Ind. Co., Ltd.), February 26, 1993 (26. 02. 93), Figs. 1, 2 | 54, 56 |
| A | | 5, 25-26, 44-45 |

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"T" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"A" document member of the same patent family

Date of the actual completion of the international search

May 10, 1996 (10. 05. 96)

Date of mailing of the international search report

May 28, 1996 (28. 05. 96)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/00419

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|--|
| Y | JP, 05-327580, A (Fujitsu Ltd.), December 10, 1993 (10. 12. 93), Fig. 1 | 54, 56 |
| A | | 6, 10, 14, 18-19, 21, 27, 31, 34, 37, 39, 46, 50, 60 |
| A | JP, 06-204959, A (American Telephone and Telegraph Co.), July 22, 1994 (22. 07. 94), Fig. 1 & US, 5302914, A & EP, 594358, A3 & AU, 655375, B2 | 11, 32, 49 |
| A | JP, 05-344162, A (Canon Inc.), December 24, 1993 (24. 12. 93), Figs. 4, 5 | 1 - 61 |
| A | JP, 62-169550, A (Hitachi, Ltd.), July 25, 1987 (25. 07. 87), Fig. 1 | 17 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. cl.¹ H04J13/04, H04L12/56, H04L1/00, H04J3/00, H04J3/22

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. cl.¹ H04J13/04, H04L12/56, H04L1/00, H04J3/00, H04J3/22, H04L29/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996

日本国公開実用新案公報 1971-1996

国際調査で利用した電子データベース (データベースの名称、調査に利用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリ* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|----------------|---|--------------------------|
| X | J P, 03-250935, A (日本ビクター株式会社), 08.11月.1991 (08.11.91), 第1図, 第2図 | 41 |
| Y | | 53-56 |
| A | | 1-40, 42-52, 57-61 |
| Y | J P, 03-261255, A (カシオ計算機株式会社), 21.11月.1991 (21.11.91), 第2図 | 54-56 |
| A | | 20, 38 |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に基盤を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

10.5.96

国際調査報告の発送日

28.05.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

中木 努

5K 9299

印

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|--|---|
| Y | J P, 05-48577, A (松下電器産業株式会社), 26. 2月. 1993 (26. 02. 93), 第1図, 第2図 | 54, 56 |
| A | | 5, 25-26, 44-45 |
| Y | J P, 05-327580, A (富士通株式会社), 10. 12月. 1993 (10. 12. 93), 第1図 | 54, 56 |
| A | | 6, 10, 14, 18-19, 21 , 27, 31, 34, 37, 39 , 46, 50, 60 |
| A | J P, 06-204959, A (アメリカン テレフォン アンド テレグラフ カ ンパニー), 22. 7月. 1994 (22. 07. 94), 第1図 &US, 5302914, A&EP, 594358, A3 &AU, 655375, B2 | 11, 32, 49 |
| A | J P, 05-344162, A (キャノン株式会社), 24. 12月. 1993 (24. 12. 93), 第4図, 第5図 | 1-61 |
| A | J P, 62-169550, A (株式会社日立製作所), 25. 7月. 1987 (25. 07. 87), 第1図 | 17 |